

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-522871

(P2002-522871A)

(43)公表日 平成14年7月23日(2002.7.23)

(51)Int.Cl. ⁷	識別記号	F I	ターミナル* (参考)	
G 1 1 C	11/407	G 1 1 C	11/34	3 5 4 D 5 F 0 3 8
H 0 1 L	21/822			3 5 4 F 5 F 0 8 3
	21/8242	H 0 1 L	27/10	3 2 1 5 M 0 2 4
	27/04		27/04	G
	27/108			6 8 1 F
		審査請求 有	予備審査請求 有	(全 60 頁)

(21)出願番号 特願2000-565540(P2000-565540)
 (86) (22)出願日 平成11年8月13日(1999.8.13)
 (85)翻訳文提出日 平成13年2月13日(2001.2.13)
 (86)国際出願番号 PCT/US 99/18536
 (87)国際公開番号 WO 00/10171
 (87)国際公開日 平成12年2月24日(2000.2.24)
 (31)優先権主張番号 09/134, 488
 (32)優先日 平成10年8月14日(1998.8.14)
 (33)優先権主張国 米国 (US)
 (31)優先権主張番号 09/332, 757
 (32)優先日 平成11年6月14日(1999.6.14)
 (33)優先権主張国 米国 (US)

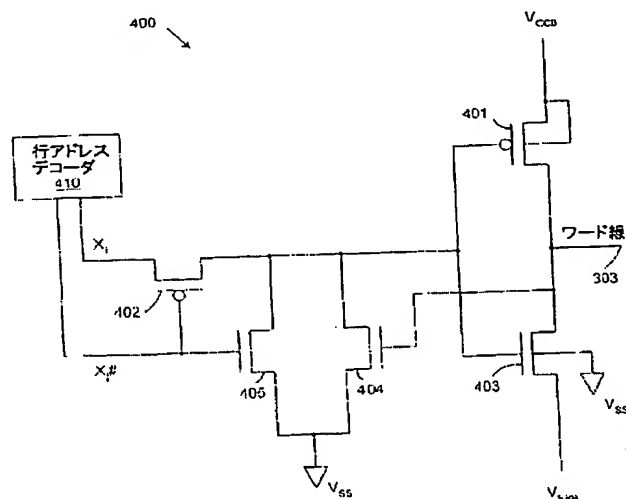
(71)出願人 モノリシック・システム・テクノロジー・
 インコーポレイテッド
 Monolithic System T
 echnology, Inc.
 アメリカ合衆国カリフォルニア州94086-
 3914・サニーベイル・スチュワートドライ
 ブ 1020
 (72)発明者 リュング、ウィンギュ
 アメリカ合衆国カリフォルニア州95014-
 2825・クーベルティノー・オレンジアベニ
 ュー 10450
 (74)代理人 弁理士 大島 陽一

最終頁に続く

(54)【発明の名称】 論理プロセスに組み入れられたDRAM用のチップ上でのワード線電圧発生

(57)【要約】

従来の論理プロセスで製造したDRAMメモリセル (300) 及びワード線 (303)、CMOSワード線ドライバー (400) を含むメモリシステム。ワード線ドライバー (400) は、正のブースト電圧及び負のブースト電圧をワード線 (303) に供給するように制御される。正のブースト電圧発生器 (700) が、 V_{dd} より高く、 V_{dd} にトランジスタの閾値電圧 V_t の絶対値を加えたものより低い正のブースト電圧を供給するように設けられている。同様に、負のブースト電圧発生器 (800) が、 V_{ss} より V_t 分低い負のブースト電圧を発生するように設けられる。結合回路 (600) が、ワード線ドライバー (400) と正或いは負のブースト電圧発生器 (700または800) の1つとの間に設けられている。この結合回路 (600) によって、ワード線 (303) が活性化されるときにのみ、ワード線ドライバー (400) が正或いは負のブーストワード線発生器の選択された1つに接続される。正のブースト電圧発生器 (700) には、 V_{dd} に V_t を加えた電圧より低い電圧に正のブースト電圧を制限する充電ポンプ制御回路 (1000) が含まれる。同様に、負のブースト電圧発



【特許請求の範囲】

【請求項1】 正の供給電圧及び接地供給電圧に応答して動作するメモリシステムであって、

DRAMセルと、

前記DRAMセルにアクセスするために活性化される、前記DRAMセルに接続されたワード線と、

前記ワード線に接続されたワード線ドライバーと、

前記ワード線ドライバーに接続され、前記正の供給電圧より高く前記正の供給電圧に1つのトランジスタ閾値電圧分を加えた電圧より低い正のブースト電圧を供給する、正のブースト電圧発生器とを含むことを特徴とするメモリシステム。

【請求項2】 前記ワード線ドライバーが、前記ワード線と前記正のブースト電圧発生器との間に接続されたpチャネルトランジスタと、前記ワード線に接続されたnチャネルトランジスタとを含むことを特徴とする請求項1に記載のメモリシステム。

【請求項3】 前記ワード線ドライバーに接続され、接地供給電圧より低い負のブースト電圧を供給する負のブースト電圧発生器を更に含むことを特徴とする請求項2記載のメモリシステム。

【請求項4】 前記負のブースト電圧が、1つのトランジスタ閾値電圧の絶対値より小さい電圧分前記接地供給電圧より低いことを特徴とする請求項3に記載のメモリシステム。

【請求項5】 前記DRAMセルが、
前記ワード線に接続されたゲートを有する第1のpチャネルトランジスタと、
蓄積コンデンサとして形成され、前記第1のpチャネルトランジスタに接続された第2のpチャネル素子とを含むことを特徴とする請求項4に記載のメモリシステム。

【請求項6】 前記メモリシステムが従来の論理プロセスで形成されることを特徴とする請求項1に記載のメモリシステム。

【請求項7】 前記ワード線ドライバーと前記負のブースト電圧発生器との間に接続された結合回路であって、前記ワード線が初めに活性化されるとき、

前記ワード線ドライバーに前記接地供給電圧を供給し、前記ワード線の電圧が前記正の供給電圧より低くなると、前記ワード線ドライバーに負のブースト電圧を供給するように構成された、該結合回路を更に含むことを特徴とする請求項3に記載のメモリシステム。

【請求項8】 前記結合回路が、

前記ワード線ドライバーと前記接地供給電圧を供給する端子との間に接続された第1のトランジスタと、

前記ワード線ドライバーと前記負のブースト電圧発生器との間に接続された第2のトランジスタと、

前記第1のトランジスタのゲートに接続された遅延連鎖とを含むことを特徴とする請求項7に記載のメモリシステム。

【請求項9】 前記遅延連鎖と前記第2のトランジスタのゲートとの間に接続されたコンデンサと、

前記第2のトランジスタのゲートと前記負のブースト電圧発生器との間に接続されたダイオード要素とを含むことを特徴とする請求項8に記載のメモリシステム。

【請求項10】 前記nチャネルトランジスタと前記負のブースト電圧発生器との間に接続された結合回路であって、前記ワード線が活性化されるとき、前記負のブースト電圧発生器と前記nチャネルトランジスタとが接続され、前記ワード線が不活性化されるとき、前記接地供給電圧がnチャネルトランジスタに供給されるように構成された、該結合回路を更に含むことを特徴とする請求項3に記載のメモリシステム。

【請求項11】 正の供給電圧及び接地供給電圧に応答して動作するメモリシステムであって、

DRAMセルと、

前記DRAMセルにアクセスするために活性化される、前記DRAMセルに接続されたワード線と、

前記ワード線に接続されたワード線ドライバーと、

前記ワード線ドライバーに接続され、1つのトランジスタ閾値電圧の絶対値よ

り小さい電圧分前記接地供給電圧より低い負のブースト電圧を供給する、負のブースト電圧発生器とを含むことを特徴とするメモリシステム。

【請求項12】 前記ワード線ドライバーが、前記ワード線と前記負のブースト電圧発生器との間に接続されたnチャネルトランジスタと、ワード線に接続されたpチャネルトランジスタとを含むことを特徴とする請求項11に記載のメモリシステム。

【請求項13】 前記ワード線ドライバーに接続され、前記正の供給電圧より高い正のブースト電圧を供給する、正のブースト電圧発生器を更に含むことを特徴とする請求項12記載のメモリシステム。

【請求項14】 前記正のブースト電圧が、1つのトランジスタ閾値電圧より低い電圧分前記正の供給電圧より高いことを特徴とする請求項13に記載のメモリシステム。

【請求項15】 前記pチャネルトランジスタと前記せいのブースト電圧発生器との間の結合回路であって、ワード線が活性化されるとき、前記正のブースト電圧発生器と前記pチャネルトランジスタとが接続され、ワード線が不活性化されるとき、前記正の供給電圧が前記pチャネルトランジスタに供給されるように構成された、該結合回路とを更に含むことを特徴とする請求項13に記載のメモリシステム。

【請求項16】 前記DRAMセルが、
前記ワード線に接続されたゲートを有する第1のnチャネルトランジスタと、
蓄積コンデンサとして形成され、前記第1のnチャネルトランジスタに接続された第2のnチャネル素子とを含むことを特徴とする請求項15に記載のメモリシステム。

【請求項17】 前記メモリシステムが従来の論理プロセスで形成されることを特徴とする請求項11に記載のメモリシステム。

【請求項18】 前記ワード線ドライバーと前記正のブースト電圧発生器との間に接続された結合回路であって、前記ワード線が初めに活性化されるとき、前記ワード線ドライバーに前記正の供給電圧を供給し、前記ワード線の電圧が前記接地供給電圧より高くなると、前記ワード線ドライバーに正のブースト電圧

を供給するように構成された、該結合回路を更に含むことを特徴とする請求項13に記載のメモリシステム。

【請求項19】 前記結合回路が、

前記ワード線ドライバーと前記正の供給電圧を供給する端子との間に接続された第1のトランジスタと、

前記ワード線ドライバーと前記正のブースト電圧発生器との間に接続された第2のトランジスタと、

前記第1のトランジスタのゲートに接続された遅延連鎖とを含むことを特徴とする請求項18に記載のメモリシステム。

【請求項20】 前記遅延連鎖と前記第2のトランジスタのゲートとの間に接続されたコンデンサと、

前記第2のトランジスタのゲートと前記正のブースト電圧発生器との間に接続されたダイオード要素とを含むことを特徴とする請求項19に記載のメモリシステム。

【請求項21】 DRAMセルに接続されたワード線をドライブ（活性化或いは不活性化）する方法であって、

1つのトランジスタ閾値電圧より小さい電圧分、接地供給電圧より低い負のブースト電圧を発生する過程と、

前記ワード線が初めに活性化されるとき、前記ワード線に前記接地供給電圧を供給する過程と、

前記ワード線の電圧が正の供給電圧より低くなると、前記ワード線に前記負のブースト電圧を供給する過程とを含むことを特徴とする方法。

【請求項22】 更に、1つのトランジスタ閾値電圧より小さい電圧分、正の供給電圧より高い正のブースト電圧を発生する過程と、

DRAMセルがアクセスされていないとき、前記正のブースト電圧で前記ワード線をドライブする過程とが含まれる請求項21に記載の方法。

【請求項23】 DRAMセルに接続されたワード線をドライブする方法であって、

1つのトランジスタ閾値電圧より小さい電圧分、正の供給電圧より高い正のブ

ースト電圧を発生する過程と、

前記ワード線が初めに活性化されるとき、前記ワード線に前記正の供給電圧を供給する過程と、

前記ワード線の電圧が接地供給電圧より高くなると、前記ワード線に前記正のブースト電圧を供給する過程とを含むことを特徴とする方法。

【請求項24】 更に、1つのトランジスタ閾値電圧より低い電圧分、接地供給電圧より低い負のブースト電圧を発生する過程と、

前記DRAMセルがアクセスされていないとき、前記負のブースト電圧で前記ワード線をドライブする過程とを更に含むことを特徴とする請求項23に記載の方法。

【請求項25】 1つの閾値電圧より低い電圧分、正の供給電圧より高い正のブースト電圧を発生する充電ポンプ制御回路であって、

前記正の供給電圧に接続されたソースを備え、第1のチャネル幅を有する第1のpチャネルトランジスタと、

前記第1のpチャネルトランジスタのドレインに接続された第1の基準電流源と、

前記第1のpチャネルトランジスタのゲートに接続されたゲートを備え、前記第1のチャネル幅より広い第2のチャネル幅を有する第2のpチャネルトランジスタと、

前記第2のpチャネルトランジスタのドレインに接続された第2の基準電流源と、

前記第2のpチャネルトランジスタのソースに接続されたゲート及びドレインと、前記正のブースト電圧がかかるように接続されたソースとを備える第三のpチャネルトランジスタとを含むことを特徴とする充電ポンプ制御回路。

【請求項26】 前記第1の基準電流源が、負の温度係数を有することを特徴とする請求項25に記載の充電ポンプ制御回路。

【請求項27】 前記第2の基準電流源が、正の温度係数を有することを特徴とする請求項25に記載の充電ポンプ制御回路。

【請求項28】 1つの閾値電圧より低い電圧分、接地供給電圧より低い

負のブースト電圧を発生する充電ポンプ制御回路であって、

前記接地供給電圧に接続されたソースを備え、第1のチャネル幅を有する第1のnチャネルトランジスタと、

前記第1のnチャネルトランジスタのドレインに接続された第1の基準電流源と、

前記第1のnチャネルトランジスタのゲートに接続されたゲートを備え、前記第1のチャネル幅より広い第2のチャネル幅を有する第2のnチャネルトランジスタと、

前記第2のnチャネルトランジスタのドレインに接続された第2の基準電流源と、

前記第2のnチャネルトランジスタのソースに接続されたソースと、前記負のブースト電圧がかかるように接続されたゲート及びドレインとを備えるpチャネルトランジスタとを含むことを特徴とする充電ポンプ制御回路。

【請求項29】 前記第1の基準電流源が、負の温度係数を有することを特徴とする請求項28に記載の充電ポンプ制御回路。

【請求項30】 前記第2の基準電流源が、正の温度係数を有することを特徴とする請求項29に記載の充電ポンプ制御回路。

【発明の詳細な説明】**【0001】**関連する出願

本発明は、1998年8月14日に提出されたWingyu Leung及びFu-Chieh Hsuによる、名称「Memory Cell For DRAM Embedded in Logic」である同時継続出願中の米国特許出願番号09/134,488の一部継続出願である。

【0002】背景発明の属する技術分野

本発明は、DRAM (Dynamic Random Access Memory) に関連する。より詳しくは、本発明は、従来の論理プロセスで製造したDRAMに関連する。更に本発明は、従来の論理プロセスで製造された、或いは組み込まれたDRAMを動作させるために、チップ上で正確な電圧を発生させることに関連する。

【0003】関連技術

図1Aは、従来の論理プロセスで製造した従来のDRAMセル100の模式図である。図1Bは、DRAMセル100の断面図である。本明細書では、従来の論理プロセスとは、一層のみのポリシリコンを用いて、1つのウェル或いは2つのウェル構造のどちらかを設ける半導体製造プロセスと定義する。DRAMセル100は、ワード線3に接続されたゲート端子9と、ビット線5に接続されたドレイン端子17と、pチャネルMOSトランジスタ2のゲート11に接続されたソース端子18とを有するpチャネルMOSアクセストランジスタ1からなる。pチャネルトランジスタ2は、電荷蓄積コンデンサ (charge storage capacitor) として動作するように形成されている。トランジスタ2のソース及ドレイン19は、共通に接続されている。トランジスタ2のソース及びドレイン、チャネルは、固定プレートバイアス電圧 V_{pp} がかかるように接続されている。この電圧 V_{pp} は、トランジスタ閾値電圧 V_t より高い電圧分正の供給電圧 V_{dd} より高い正のブースト電圧である。

【0004】

本明細書では、電荷蓄積コンデンサの電極を、アクセストランジスタに接続されたノードと定義し、電荷蓄積コンデンサの反対側の電極を、固定プレートバイアス電圧がかかるように接続されたノードと定義する。従って、DRAMセル100において、トランジスタ2のゲート11が、電荷蓄積コンデンサの電極となり、トランジスタ2のチャネル領域が電荷蓄積コンデンサの反対側の電極となる。

【0005】

DRAMセル100のソフトエラー率の感度を改善するために、p形基板8中のn形ウェル領域14にセルを形成する。アクセストランジスタ1の閾値下のリークを最小にするために、n形ウェル14に電圧 V_{pp} のバイアスを（n形接触領域21で）かける。しかしながら、このようにウェルにバイアスをかけると、接合部のリークが増大する。従って、接合部のリークを著しく増加させないで閾値下のリークを減少させるように、n形ウェル14のバイアス電圧を選択する。蓄積コンデンサに電荷が蓄積されているとき、ビット線5が適正な電圧レベル（即ち、 V_{dd} または V_{ss} ）となり、ワード線3が活性化されてアクセストランジスタ1がオンになる。その結果、蓄積コンデンサの電極が充電される。充電量を最大化するために、ワード線3が、供給電圧 V_{ss} からアクセストランジスタ1の閾値電圧（ V_{tp} ）の絶対値を引いた電圧より低い負のブースト電圧 V_{bb} とならなければならない。

【0006】

データ保持状態では、ワード線3が供給電圧 V_{dd} になって、アクセストランジスタ1がオフとなる。コンデンサの充電量を最大化するために、反対側の電極に正のブースト電圧 V_{pp} のバイアスをかける。プレート電圧 V_{pp} は、電荷蓄積コンデンサであるトランジスタ2の酸化物降伏電圧によって制限される。

【0007】

DRAMセル100及びそれから派生したものについては、K. Skjaveland, B. Townshipp, P. Gillinghamによる米国特許第5,600,598号、名称「Memory Cell and Wordline Driver For Embedded DRAM in ASIC Process」（以降は、「Skjaveland 他」とする）、及びP. Gillingham, B. Hold, I. Mes, C. O'Connell, P

. Schofield, K. Skjaveland, K. Torrance, T. Wojcicki, H. Chowによる「A 768k Embedded DRAM for 1.244Gb/s ATM Switch in a 0.8 μ m Logic Process,」、Digest of ISSCC、1996年、226～263ページ（以降は、「Gillingham 他」）に記載されている。Skjaveland 他及びGillingham 他はともに、p形基板に形成されたn形ウェルに含まれるメモリセルについて記載している。

【0008】

図2は、Gillingham 他に記載のワード線ブースト発生器202及びワード線ドライバー回路201を含むワード線制御回路200の模式図である。ワード線制御回路200には、pチャネルトランジスタ211～217と、インバータ221～229と、NANDゲート231～232と、NORゲート241とが含まれ、図に示すように接続されている。ワード線ドライバー201には、pチャネルプルアップトランジスタ211が含まれ、それによって関連ワード線が供給電圧 V_{dd} に引き上げられる。pチャネルプルダウントランジスタ212～217は、ワード線を実質的に負の供給電圧 V_{ss} より低い負のブースト電圧（即ち、 $-1.5V$ ）に下げることができるように設けられている。しかしながら、pチャネルプルダウントランジスタは、動作能力が同じサイズのNMOSトランジスタより相当小さい（約半分）。その結果、Gillingham 他ワード線がオンになる速度は、比較的遅い（ $>10ns$ ）。更に、データ保持状態では、ワード線ドライバー201によって、ワード線のみが供給電圧 V_{dd} まで引き上げられる。その結果、メモリセルのアクセストランジスタの閾値下のリークは、十分に抑制することができないかもしれない。

【0009】

また、DRAMセル100に類似のDRAMセルを、p形ウェル領域に形成されたnチャネルトランジスタを用いて形成することができる。メモリセルのアクセス中に、そのようなnチャネルDRAMセルに蓄えられる電荷を最大化するために、関連ワード線を、供給電圧にアクセストランジスタの閾値電圧（ V_{tn} ）の絶対値を加えたものより大きい電圧にする。データ保持状態では、nチャネルアクセストランジスタは、ワード線を供給電圧 V_{ss} （ $0V$ ）にしてオフにされる。nチャネルDRAMセルのコンデンサの充電量を最大化するために、反対側

の電極に、供給電圧 V_{SS} より低いプレート電圧 V_{bb} のバイアスをかける。

【0010】

nチャネルDRAMセルを用いた従来技術には、Hashimoto他による「An Embedded DRAM Module using a Dual Sense Amplifier Architecture in a Logic Process」、1997年IEEE International Solid-State Circuits Conference、64-65及び431ページに記載されたものが含まれる。p形基板を用いて、メモリセルが直接基板に接触し、どのウェル構造とも分離されないようにする。記載した設計では、基板にバイアスをかけることができない。更に、基板のバイアスをゼロに制限するASICでは、ワード線に負の電圧をかけることができない。従って、設計者は、ビット線の揺れを制限して負のゲート・ソース間電圧(V_{gs})を達成した。負の V_{gs} 電圧によって、メモリセルの閾値下のリークが減少する。Hashimoto他では、ワード線ドライバーの構造については述べていない。

【0011】

従って、従来の論理プロセスで形成したDRAMセルのリーク電流を改善させるワード線ドライバー回路が待ち望まれている。更に、従来の論理プロセスで形成したDRAMセルにバイアスをかける改善方法も待ち望まれている。

【0012】

本発明の要約

従って、本発明は、従来の論理プロセスで形成されたDRAMセル及びワード線、CMOSワード線ドライバーを含むメモリシステムを提供する。このワード線ドライバーは、選択的に正のブースト電圧及び負のブースト電圧をワード線に供給して、DRAMセルへのアクセスを制御するように制御される。

【0013】

正のブースト電圧発生器が、供給電圧 V_{dd} より高く、供給電圧 V_{dd} にトランジスタ閾値電圧 V_t の絶対値を加えたものより小さい正のブースト電圧を発生させるために設けられる。

【0014】

同様に、負のブースト電圧発生器が、供給電圧 V_{SS} より低く、供給電圧 V_{SS} からトランジスタの閾値電圧 V_t の絶対値を差し引いたものより大きい負のブ

ースト電圧を発生させるために設けられる。

【0015】

結合回路が、ワード線ドライバーと負或いは正のブースト電圧発生器の1つとの間に設けられる。例えば、DRAMセルがPMOSトランジスタから形成された場合、結合回路によって、ワード線ドライバーが負のブーストワード線発生器に接続される。DRAMセルがアクセスされる場合、結合回路によって、ワード線ドライバーが負のブースト電圧に接続され、DRAMセルのpチャネルアクセストランジスタがオンになる。しかしながら、DRAMセルがアクセスされていない場合は、結合回路によって、ワード線ドライバーが供給電圧 V_{SS} に接続され、負のブースト電圧に関連するリーク電流が最小化される。

【0016】

この実施例では、ワード線が最初に活性化された時、供給電圧 V_{SS} がワード線ドライバーに供給されるように、結合回路を構成することができる。ワード線の電圧が供給電圧 V_{dd} より低下した場合、結合回路によってワード線ドライバーに負のブースト電圧が供給される。

【0017】

上記とは反対に、DRAMセルがNMOSトランジスタから形成された場合、結合回路によって、ワード線ドライバーが正のブーストワード線発生器に接続される。DRAMセルがアクセスされる場合、結合回路によって、ワード線ドライバーが負のブースト電圧に接続され、DRAMセルのNチャネルアクセストランジスタがオンになる。しかしながら、DRAMセルがアクセスされていない場合は、結合回路によって、ワード線ドライバーが供給電圧 V_{dd} に接続され、正のブースト電圧に関連するリーク電流が最小化される。

【0018】

この実施例では、ワード線が初めに活性化された時、供給電圧 V_{dd} がワード線ドライバーに供給されるように、結合回路を形成することができる。ワード線の供給電圧が供給電圧 V_{SS} より高くなると、結合回路によって、ワード線ドライバーに正のブースト電圧が供給される。

【0019】

正のブースト電圧発生器には、正のブースト電圧を V_{dd} に V_t を加えた電圧より低い電圧に制限する充電ポンプ制御回路が含まれる。同様に、負のブースト電圧発生器には、負のブースト電圧を V_{SS} から V_t を減じた電圧より高い電圧に制限する充電ポンプ制御回路が含まれる。正及び負のブースト電圧がこのように制限されるのは、 $0.25\mu m$ 以下のプロセスを用いる通常の論理の適用例では、通常、ゲート酸化物降伏電圧は、正の供給電圧 V_{dd} に閾値電圧 V_t を加えた電圧より低い。

【0020】

正のブースト電圧発生器には、正のブースト電圧を、供給電圧 V_{dd} に1つのトランジスタ閾値電圧より小さい電圧を加えた電圧より大きい電圧に制限する充電ポンプ制御回路が含まれる。ある実施例では、この充電ポンプ制御回路には、供給電圧 V_{dd} に接続されたソースと第1の基準電流源に接続されたドレインとを有する第1のpチャネルトランジスタが含まれる。第1のpチャネルトランジスタのゲートは、第2のpチャネルトランジスタのゲートに接続される。第1及び第2のpチャネルトランジスタはそれぞれ、第1及び第2のチャネル幅を有し、第2のチャネル幅は第1のチャネル幅より広い。第2の基準電流源は、第2のpチャネルトランジスタのドレインに接続される。第2のpチャネルトランジスタのドレインによって、充電ポンプ制御回路に対する抑止制御シグナルが供給される。第3のpチャネルトランジスタは、第2のpチャネルトランジスタのソースに接続されたゲート及びドレインと、正のブースト電圧がかかるように接続されたソースとを有する。第1のチャネル幅と第2のチャネル幅との比率は、正のブースト電圧が供給電圧 V_{dd} より1つのトランジスタ閾値電圧分大きい電圧より小さい場合、抑止制御シグナルとなるように選択される。一実施例では、第1の基準電流源は、第2のpチャネルトランジスタの温度の影響を補正するために負の温度係数を有する。第2の基準電流源に、第3のpチャネルトランジスタの温度の影響を補正するための正の温度係数を備えることもできる。

【0021】

同様に、負のブースト電圧発生器には、1つのトランジスタの閾値電圧 V_t より小さい電圧分、供給電圧 V_{SS} より小さく負のブースト電圧を制限する充電ポ

ンプ制御回路が含まれる。一実施例では、この充電ポンプ制御回路には、供給電圧 V_{SS} に接続されたソースと、第1の基準電流源に接続されたドレインとを有する第1のnチャネルトランジスタが含まれる。第1のnチャネルトランジスタのゲートは、第2のnチャネルトランジスタのゲートに接続される。第1及び第2のnチャネルトランジスタはそれぞれ、第1及び第2のチャネル幅を有し、第2のチャネル幅が第1のチャネル幅より広い。第2の基準電流源が、第2のnチャネルトランジスタのドレインに接続される。第2のnチャネルトランジスタのドレインによって、充電ポンプ制御回路に対する抑止制御シグナルが供給される。pチャネルトランジスタは、第2のnチャネルトランジスタのソースに接続されたソースと、負のブースト電圧がかかるように接続されたドレイン及びゲートとを有する。第1のチャネル幅と第2のチャネル幅の比率は、負のブースト電圧が供給電圧 V_{SS} からトランジスタの閾値電圧 V_t の絶対値を差し引いたものより大きい場合、抑止制御シグナルとなるように選択される。一実施例では、第1の基準電流源は、第2のnチャネルトランジスタの温度の影響の補正をする負の温度係数を有する。第2の基準電流源に、pチャネルトランジスタの温度の影響を補正する正の温度係数を備えることもできる。

【0022】

本発明は、以下の図面を用いた説明を参照すればより理解が深まるであろう。

【0023】

好適な実施例の説明

詳細な説明

本発明は、以下の図面を用いた説明を参照すればより理解が深まるであろう。

【0024】

従来の製造プロセスを用いて形成したDRAMメモリの電圧及びバイアスのかけかたについて以下に記載する。従来の論理プロセスとは、1つの多結晶シリコン層と1層以上の金属層とを備えた1つのウェル或いは2つのウェルの製造プロセスである。記載の実施例では、正の供給電圧を供給電圧 V_{dd} とする。一般に、正の供給電圧 V_{dd} は、3.3Vまたは2.5V、1.8V等の製造プロセスによって様々な公称値を持つ。グラウンドの供給電圧は0Vの公称値を持ち、供給

電圧 V_{SS} とする。

【0025】

図3Aに示されているように、本実施例に用いられるDRAMメモリセルは、pチャネルアクセストランジスタ301と、蓄積コンデンサとして形成されたpチャネル記憶トランジスタ302とからなる。アクセストランジスタ301のゲートはワード線303に接続され、アクセストランジスタ301のドレインはビット線305に接続されている。アクセストランジスタ301のソースは、トランジスタ302のソース領域に接続されている。記載の実施例では、トランジスタ302のソース領域のみが実際に形成される（即ち、トランジスタ302のドレイン領域は存在しない）。別の実施例では、ソース領域とドレイン領域の両方が形成され、これらの領域は共に、アクセストランジスタ301のソースに接続される。トランジスタ302のチャネルが、蓄積コンデンサの電極となり、トランジスタ302のゲートが蓄積コンデンサの反対側の電極となる。記憶トランジスタ302のチャネル（即ち、蓄積コンデンサの電極）は、アクセストランジスタ301のソースに接続されている。トランジスタ302のゲート（即ち、蓄積コンデンサの反対側の電極）は、負にブーストされたバイアス電圧 V_{bb1} がかかるように接続されている。このバイアス電圧 V_{bb1} は、コンデンサ302のゲート酸化物の降伏電圧（ V_{bd} ）と電極に蓄えられた最も高い電圧（ V_1 ）とによって制限される。一般に、バイアス電圧 V_{bb1} は、 V_1 から V_{bd} を差し引いた電圧より高い電圧に設定される。好適な実施例では、 V_1 は正の供給電圧 V_{dd} に等しく、バイアス電圧 V_{bb1} は $-0.3V$ に設定される。

【0026】

一般に、バイアス電圧 V_{bb1} は、一個のダイオード電圧降下より小さい電圧に選択される。即ち、バイアス電圧 V_{bb1} は、約 $0.7V$ より小さく選択される。負のバイアス電圧 V_{bb1} は、電極に供給電圧 V_{dd} がかかると、コンデンサ302の容量を増加して蓄積コンデンサ302の動作を線形化する。負のプレートバイアス V_{bb1} がないと、コンデンサ302の容量は、コンデンサにかかる電圧がMOS構造の閾値電圧より小さくなると、急速に減少する。

【0027】

図3Bに示されているように、DRAMメモリセル300は、p形の単結晶シリコン基板306のn形にドーパされたウェル304の中に含まれる。多数のメモリセルを同じn形ウェル304の中に形成できる。n形ウェル304には、供給電圧 V_{dd} よりpチャネルアクセストランジスタ301の閾値電圧(V_{tp})の絶対値に概ね等しい電圧だけ大きい正のブースト電圧(V_{pp1})のバイアスがかかる。更に、正のブースト電圧 V_{pp1} は、pチャネルアクセストランジスタ301の酸化物降伏電圧より低くなるように選択される。n形接触領域315との接続により、n形ウェル304にバイアスがかかる。本実施例では、電圧 V_{pp1} は、供給電圧 V_{dd} より約0.3V高く制御される(即ち、 $V_{tp}=0.3V$)。

n形ウェル304に電圧 V_{pp1} がかかると、アクセストランジスタ301の閾値下のリークが減少し、供給ノイズによる、コンデンサ302の電極とn形ウェル304との接合部に順方向のバイアスがかかる可能性が抑制される。しかしながら、n形ウェル304に電圧 V_{pp1} を加えると、特に高い電圧の場合、蓄積コンデンサ302の電極の接合部のリークが減少する。

【0028】

メモリセル300にデータが書き込まれる時、ビット線305が、論理0データ値を書き込む場合は供給電圧 V_{dd} に接続され、論理1データ値を書き込む場合は供給電圧 V_{SS} に接続される。更に、ワード線303が、約-0.3Vのワード線電圧 V_{SSB} がかかるように接続される。一実施例に従えば、電圧 V_{SSB} の値は-0.2Vから-0.6Vに選択され、従来のDRAM適用例における-1.0V或いはそれより負に大きい電圧とは異なる。電圧 V_{SSB} の発生方法については以下に詳述する。

【0029】

メモリセル300がデータ保持状態の時、ビット線305は、供給電圧 V_{dd} の約半分の電圧にプリチャージされる。ビット線305またはコンデンサ302の電極が供給電圧 V_{dd} の電位に近い場合は、メモリセル300の閾値下のリークが高くなる傾向にある。サブミクロンのトランジスタの場合、その閾値電圧(例えば、 $V_{tp}=-0.5V$)が低いため、この閾値下のリークが厳しい。デー

タ保持中の閾値下のリークを減少させるために、ワード線303が、内部で生成された供給電圧 V_{dd} より約0.3V高い正のブースト電圧(V_{CCB})に接続される。一実施例に従えば、電圧 V_{CCB} の値は、供給電圧 V_{dd} より0.2Vから0.6V高い電圧に選択される。これは、データ保持中にワード線が供給電圧 V_{dd} に接続される上記した従来のメモリセルとは異なる。正のブースト電圧 V_{CCB} の発生については、以下により詳しく記載する。

【0030】

図3Cは、本発明の一実施例に従ったメモリセル300のレイアウトを示している。ビット線305への接続は、隣接する2つのセルが共有し、コンデンサ302の上側プレート313によって、ワード線に平行な隣接する2行のセルが接続されている。隣接するセルのコンデンサは、例えば、設計基準による最小間隔で、電界酸化物(FOX)領域314によって電氣的に切断されている。コンデンサプレート313に、pチャネルコンデンサが最大でオンとなる電圧 V_{bb1} のバイアスが掛けられるため、隣接するセル記憶ノード間に流れ得る最大リーク電流となる、非常に不都合なバイアスが電界酸化物(FOX)314にかかり得る。このような電界リーク電流を最小にするために、コンデンサプレート313は隣接する記憶ノードの対角線の角に沿ってのみ電界酸化物314と交差するようになっている。これによって、隣接するセル間の潜在リーク経路が最小FOX分離間隔の1.414倍となり、同時に、コンデンサプレート313によって逆ゲート化される記憶ノード周辺部(最小の間隔)が、全記憶ノード周辺部(コンデンサ302のチャネル領域)の25%未満となり、潜在リーク電流を最小化する。

【0031】

図3Dは、本発明の別の実施例に従ったpチャネルアクセストランジスタ301及びpチャネルコンデンサ302の拡大断面図である。この実施例では、通常的大量に注入されたp形のソース/ドレイン及びソース/ドレインサリサイド化が、p形接続領域312に含まれていない。このような構造にすることによって、記憶ノードの電荷保持時間を劣化させるゲート誘発ドレインリーク(GIDL)及び接合部リーク電流を減少させることができる。従来の論理プロセスでは、

pチャネルトランジスタの製造は以下の手順による。(i) ポリシリコンゲートのパターン形成及びエッチング。(ii) イオン注入によるゲート端部のソース／ドレイン領域の軽度のドーピングによるp-LDD領域の形成。(iii) 絶縁用の側壁スペーサの形成。(iv) 露出したシリコン表面へのサリサイド（自己整列サリサイド）の形成。(v) イオン注入による露出したシリコン表面のソース／ドレイン領域の重度のドーピングによるp-S/D領域の形成。2段階のp-LDD領域及びp-S/D領域の形成によって、導電電流が大きく、かつ適当なリーク電流に制御される。通常は、p-S/D領域が、抵抗が小さくなるようにp-LDD領域より相当重度にドーピングされる。結果として、接合部の降伏電圧がより低くなり、p-S/D領域のリーク電流が、p-LDD領域のリーク電流より極めて大きくなる。ソース／ドレインのサリサイドによって、ソース／ドレインの抵抗が更に減少するが、接合部のリークを悪化させる。従って、できる限り記憶ノードのサリサイド形成及び重度のp形ドーピングを排除することが重要である。

【0032】

本発明では、領域312は、絶縁用の側部スペーサ325の概ね2倍の最小ポリシリコンゲート間隔で設けられる。レイアウトをこのようにすることによって、更なるプロセッシングを必要とすることなく、領域312からp-S/Dドーピング及びサリサイドを効率的に排除することができる。

【0033】

n形にドーピングされた基板、或いはp形にドーピングされた基板のn形に深くドーピングされたウェルに位置するp形にウェルにこれらの要素が形成される場合は、nチャネルアクセストランジスタ及びコンデンサを用いて図3A-図3DのDRAMセルを同様に実施できる。

【0034】

図4は、本発明の一実施例に従ったワード線303をドライブ（活性化或いは不活化させる）するために用いられるワード線ドライバー400の模式図である。従って、ワード線ドライバー400によって供給される出力電圧が、ワード線303に供給される（図3A）。ワード線ドライバー400は、Pチャネルトラ

ンジスタ401-402と、Nチャネルトランジスタ403-405とからなる。ワード線303を不活性化するために、トランジスタ401をオンにして、ワード線303を正のワード線ブースト電圧 V_{CCB} まで引き上げる。ワード線電圧 V_{CCB} は、アクセストランジスタ301をオフにするのに十分に高い電圧である。ワード線303を活性化するために、プルダウントランジスタ403をオンにして、ワード線303を電圧 V_{SSB} に引き下げる。ワード線電圧 V_{SSB} の発生については、以下に詳しく記載する。

【0035】

ワード線プルアップトランジスタ401のゲートとワード線プルダウントランジスタ403のゲートは共に、pチャネルトランジスタ402によって形成された通過ゲートに接続されている。トランジスタ402がオンになると、トランジスタ401と402とが接続され、行アドレスデコーダ410によって供給される出力信号 X_i を受信する。トランジスタ402のゲートは、行アドレスデコーダ410からの別の出力信号 $X_j\#$ を受信するように接続される。アクセスのためにワード線303に接続されたメモリセルが選択されると、行アドレスデコーダ410は、初めに信号「高」 X_i を送り、次に信号「低」 $X_j\#$ を送る。信号 $X_j\#$ の「低」の状態によって、通過トランジスタ402がオンになり、論理信号「高」 X_i がプルアップトランジスタ401及びプルダウントランジスタ403のゲートに送られる。このような状態で、プルダウントランジスタ403がオンになり、ワード線303が接続されてワード線電圧 V_{SSB} を受け取る。

【0036】

以下により詳細に記載するように、行アドレスデコーダ410は、ワード線303及び複数の他のワード線を含むワード線の第1のサブセットを制御する。ワード線303がアクセスのために選択されない場合（しかし、ワード線の第1のサブセットの別のワード線がアクセスのために選択された場合）、行アドレスデコーダ410は、信号 X_i 及び $X_j\#$ の両方の論理「低」の値を送る。このような状態で、プルアップトランジスタ401及びプルダウントランジスタ403のゲートは、nチャネルトランジスタ404によって論理「低」の状態に維持される。トランジスタ404のゲートは、ワード線303に接続され、ワード線30

3がアクセスされていない時は、論理「高」の値に維持されることに注意されたい。その結果、ワード線303がアクセスされていない場合は、トランジスタ404がオンであり、トランジスタ401及び403のゲートが供給電圧 V_{SS} に接続される。供給電圧 V_{SS} によって、出力トランジスタ401がオンになり、プルダウントランジスタ403がオフになるため、ワード線303が論理「高」電圧（即ち、 V_{CCB} ）に維持される。

【0037】

データ保持中（即ち、ワード線の第1のサブセットの何れのワード線もアクセスされていない場合）、行アドレスデコーダ410は、信号「高」 X_j #を送り、 n チャネルトランジスタ405がオンになる。トランジスタ405がオンになると、プルアップトランジスタ401及びプルダウントランジスタ403のゲートが供給電圧 V_{SS} に接続される。その結果、プルアップトランジスタ401オンになり、プルダウントランジスタ403はオフになる。この時、トランジスタ401によって、ワード線303が接続されて電圧 V_{CCB} がかかり、メモリセル300のアクセストランジスタ301がオフになる。

【0038】

プルダウントランジスタ403には、ワード線303のオンをスピード化するために n チャネルトランジスタが選択される。しかしながら、本実施例では、形成された全ての n チャネルトランジスタの大部分は、供給電圧 V_{SS} がかかるように接続される（供給電圧 V_{SS} がかかるように接続された p 形基板306を例示する図3Bを参照）。その結果、制御電圧 V_{SSB} の最小電圧は、供給電圧 V_{SS} よりダイオード1個の電圧降下分低い電圧（即ち、グランドよりダイオード1個の電圧降下分低い電圧）に制限される。更に、メモリセルの各行は、関連ワード線ドライバーを有する。通常は、組み込まれたメモリの中に多数行（例えば100行以上）のメモリセルが存在する。その結果、非常に多くのワード線ドライバーが必要になり、（例えば、プルダウントランジスタ403などの） n チャネルプルダウントランジスタのソースと基板との接合部の逆方向のリークが相当存在し得る。この接合部の逆方向のリークは、制御電圧 V_{SSB} がより負に大きくなると指数関数的に増加する。接合部の逆方向のリークを制限するために、ワ

ード線ドライバーは32のグループに分けられ、各グループが共通の V_{SSB} 結合回路600に接続されている。

【0039】

図5は、ワード線ドライバーシステム500を例示するブロック図である。このワード線ドライバーシステム500には、第1の複数のワード線ドライバー400と、第2の複数の V_{SSB} 結合回路600と、 V_{CCB} 電圧発生器700と、 V_{BBS} 電圧発生器800とが含まれる。それぞれの V_{SSB} 結合回路600は、32個のワード線ドライバー400からなる対応するグループに接続されている。以下で詳述するように、あるグループの1つのワード線がオンになると、 V_{BBS} 電圧発生器800と32個のワード線ドライバーからなる対応するグループとが接続されるように、対応する V_{SSB} 結合回路600が制御される。その結果、 V_{SSB} 結合回路によって、 V_{BBS} 電圧発生器800によって生成された負のブースト電圧 V_{BBS} が電圧 V_{SSB} として送られる。以下に詳述するように、 V_{BBS} 電圧発生器800は、1つの閾値電圧(V_{tp})より低い電圧分、供給電圧 V_{SS} より低い電圧 V_{BBS} を発生する。あるグループの何れのワード線もオンにされない時は、供給電圧 V_{SS} と32のワード線ドライバーからなる対応するグループとが接続されるように、対応する V_{SSB} 結合回路600が制御される。即ち、 V_{SSB} 結合回路600によって、電圧 V_{SSB} として供給電圧 V_{SS} が送られる。

【0040】

常にワード線ドライバー400のサブセットのみが電圧 V_{BBS} がかかるように接続されるため、接合部の逆方向のリークが実質的に減少する。更に、電圧 V_{BBS} を供給電圧 V_{SS} より閾値電圧1つ分低い電圧の値に制限することで、接合部の逆方向のリークが更に低減される。

【0041】

図6は、本発明の一実施例に従った V_{SSB} 結合回路600の模式図である。 V_{SSB} 結合回路600には、pチャネルトランジスタ601-603と、nチャネルトランジスタ604と、インバータ611-614とが含まれる。pチャネルトランジスタ601は、 V_{SSB} 供給電圧線と V_{BBS} 供給電圧線との間に

接続されている。トランジスタ601のゲートはノードN2に接続されている。トランジスタ602は、ノードN2と V_{BBS} 供給電圧線との間に接続されている。pチャネルトランジスタ603はコンデンサとして接続され、そのソース及びドレインは共にノードN1に接続され、ゲートはノードN2に接続されている。nチャネルトランジスタ604は、 V_{SSB} 供給電圧線と V_{SS} 供給電圧端子との間に接続される。トランジスタ604のゲートはノードN1に接続されている。インバータ611-614は直列に接続され、インバータ611が行アドレスデコーダ410からの信号 X_j #を受信し、インバータ614が遅延信号 X_j #をノード1に供給する。

【0042】

図7は、 V_{SSB} 結合回路600の動作中に、生成された様々な信号を例示する波形図である。

【0043】

ワード線303を活性化する前は、信号 X_i は「低」、信号 X_j #は「高」である。この条件で、一連のインバータ611-614が論理「高」の信号をN1に供給し、nチャネルトランジスタがオンとなる。その結果、 V_{SSB} 供給線が供給電圧 V_{SS} (0 V) に維持される。また、ワード線303を活性化する前に、トランジスタ602の閾値下のリークによって、ノードN2が V_{BBS} より1つの閾値電圧降下 (V_t) 分高い電圧より低い電圧に引き上げられたため、トランジスタ601がオンとらない。

【0044】

図4を用いて説明したように、信号 X_i が「高」にされ、信号 X_j #が「低」にされてワード線303が活性化される。この条件で、ワード線ドライバー400のプルダウントランジスタ403 (図4) がオンとなり、ワード線303と V_{SSB} 供給線とが接続される。トランジスタ403がオンになった直後は、 X_j #の「低」状態が一連のインバータ611-614に流れるが、ノードN1には到達していない。この時、nチャネルトランジスタ604はオンのままで、 V_{SSB} 供給線が接続されていて供給電圧 V_{SS} が供給されている。またこの時、ノードNの「高」状態によって、コンデンサ結合トランジスタ603のソース及び

ドレインが「高」状態に引き上げられる。トランジスタ602はMOSダイオードとして接続され、そのゲート及びドレインは V_{BBS} 供給線に接続されている。従って、トランジスタ602によって、ノードN2の電圧が、電圧 V_{BBS} より1つの閾値電圧(V_t)分高い電圧以下、或いは供給電圧 V_{SS} に概ね等しい電圧に制限される。従って、コンデンサ603は、初めは供給電圧 V_{dd} に概ね等しい電圧に充電される(即ち、トランジスタ603にかかる電圧が概ね V_{BB} に等しい)。

【0045】

信号 X_j #の「低」状態がノードN1に到達すると、トランジスタ604がオフとなり、 V_{SSB} 電圧供給線が V_{SS} 電圧供給端子から切断される。また、ノードN1が電圧が低いため、コンデンサ603によってノードN2が $-V_{dd}$ に等しい電圧に引き下げられる。ノードN2の電圧 $-V_{dd}$ によって、pチャネルトランジスタ601がオンとなり、 V_{SSB} 電圧供給線と V_{BBS} 電圧供給線とが接続される。この時、32ワード線ドライバーのみが V_{BBS} 電圧供給線(従って、 V_{BBS} 電圧発生器800)に接続されることに注意されたい。比較的少ない数のワード線ドライバーが V_{BBS} 供給線に接続されるため、接合部のリークは比較的少ない。

【0046】

チップ上の V_{BBS} 電圧発生器800は、接合部のリークがあっても、供給電圧 V_{SS} より約 $-0.3V$ 低い電圧 V_{BBS} に維持されるように設計されている。ワード線303が活性化される際、このワード線303は初めは接続されており供給電圧 V_{SS} がかかる。ワード線303の電圧が供給電圧 V_{BB} より低くなると、ワード線303は接続されて負のブースト電圧 V_{BBS} が供給される。これによって、ワード線プルダウントランジスタ403のソースドレイン間の電圧が V_{CCB} から V_{BBS} を減じた電圧より低くなり、トランジスタ403は高電圧の影響を受けない。

【0047】

ワード線303を不活化するために、信号 X_j #が行アドレスデコード410によって「高」にされる。それに応じて、ワード線ドライバー400のプルアッ

プトランジスタ401がオンとなり、ワード線303が電圧 V_{CCB} に引き上げられる。 V_{SSB} 結合回路600において、信号 X_j #の「高」状態がインバータ611-614によって形成された遅延チェーンを流れ、ノードN1に高電圧が供給されてトランジスタ604がオンとなる。また、ノードN1での高電圧によって、ノードN2が概ね V_{SS} の電圧になり、トランジスタ601がオフとなる。この条件で、 V_{SSB} 電圧供給線が V_{SS} 電圧供給端子に接続される。

基準電圧の生成

電圧 V_{CCB} 及び V_{SSB} は、本発明の一実施例に従ったチップ上の充電ポンプ回路によって生成される。図8は、本発明の一実施例に従った V_{CCB} ブースト電圧発生器700及び V_{SSB} ブースト電圧発生器800の構成の概要を示すブロック図である。 V_{CCB} 及び V_{SSB} ブースト電圧発生器はそれぞれ、リング発振器801と、充電ポンプ802と、発振器801の動作を制御して充電ポンプ802を制御するポンプ制御器803とからなる。リング発振器801及び充電ポンプ802は、米国特許第5,703,827号及び第5,267,201号等の文献に詳しく記載されている従来の電子部品である。

【0048】

図9Aは、従来の正のブースト電圧発生器に用いられる充電ポンプ制御回路901の簡単な模式図である。充電ポンプ制御回路901には、pチャネルトランジスタ911が含まれ、そのゲートは供給電圧 V_{dd} が供給されるように接続され、ソース及びバルクは正のブースト電圧 V_{boost+} が供給されるように接続され、ドレインは基準電流源912に接続される。トランジスタ911のドレインはまた、抑止制御線にも接続される。電流源912を抵抗にすることもできる。

【0049】

電圧 V_{boost+} が、供給電圧 V_{dd} より閾値電圧(V_{tp})分高いと、トランジスタ911がオンとなる。トランジスタ911のソースの電流が、電流源912によって供給された基準電流 I_{REF} と比較される。電圧 V_{boost+} と電圧 V_{dd} との電位差が大きくなると、トランジスタ911からのソースの電流が増大する。ソースの電流が基準電流 I_{REF} より大きいと、電圧 V_{boost+}

t_+ がかかるように抑止制御線が接続される。抑止信号の「高」状態によって、リング発振器801が停止し、充電ポンプ802が停止し、電圧 V_{boost+} の上昇が止められる。基準電流 I_{REF} の値によって、ブースト電圧 V_{boost+} を、共通電圧 V_{dd} に閾値電圧(V_{tp})1つ分それ以上の電圧を加えた電圧に等しくすることができる。トランジスタ911のバルクが電圧 V_{boost+} がかかるように接続され、このトランジスタのソースーバルク結合部に順方向バイアスが掛からないようになることに注意されたい。しかしながら、この接続は、トランジスタ911のバルクが基板から分離できるn形ウェルである場合、或いはトランジスタ911が、電圧 V_{boost+} に等しいかそれ以上に高い正の電圧にバイアスが掛けられたn形基板に形成された場合にのみ可能である。

【0050】

図9Bは、従来の負のブースト電圧発生器に用いられる充電ポンプ制御回路902の簡単な模式図である。充電ポンプ制御回路902にはnチャネルトランジスタ921が含まれる。このnチャネルトランジスタ921には、供給電圧 V_{SS} がかかるように接続されたゲートと、負のブースト電圧 V_{boost-} がかかるように接続されたソース及びバルクと、基準電流源922に接続されたドレインとが含まれる。トランジスタ921のドレインはまた、抑止#制御線に接続される。電流源922を抵抗に替えることもできる。

【0051】

電圧 V_{boost-} が、供給電圧 V_{SS} より閾値電圧(V_{tn})1つ分低いと、トランジスタ921がオンとなる。トランジスタ921のドレイン電流が、電流源922によって供給される基準電流 I_{REF} と比較される。 V_{boost-} と V_{SS} との電位差が上昇すると、トランジスタ921からのドレイン電流が増大する。ドレイン電流が基準電流 I_{REF} より大きいと、抑止#制御線が、電圧 V_{boost-} がかかるように接続される。抑止#信号の「低」状態によってリング発振器が停止して充電ポンプ802が停止し、電圧 V_{boost-} がそれよりも負に大きい電圧にならない。基準電流 I_{REF} の値によって、電圧 V_{boost-} を V_{SS} から閾値電圧(V_{tn})1つ分またはそれ以上を差し引いた電圧に制御することができる。トランジスタ921のバルクが電圧 V_{boost-} が

かかるように接続され、このトランジスタのソースバルク接合部が順方向バイアスがからないようになることに注意されたい。この接続は、トランジスタ921のバルクが基板から分離できるp形ウェルである場合、またはトランジスタ921が V_{boost-} に等しい電圧或いはそれよりも負に大きい電圧にバイアスが掛けられたp形基板に形成された場合にのみ可能である。

【0052】

従来の論理プロセスでは、あるウェルの中に異なった2つ以上のタイプのトランジスタを分離することが出来なかったため、充電ポンプ制御回路901と902とを同時に存在させることができなかった。即ち、ここで定義する従来の論理プロセスでは、n形ウェルとp形ウェルの両方を利用することができない。更に、メモリセル300のp形基板に電圧 V_{SS} のバイアスが掛かっているため（図3B）、メモリセル300のp形基板を負にブーストされたワード線電圧 V_{BB} と同じ或いはそれより負に大きい電圧でバイアスをかけることができない。更に、充電ポンプ制御回路901が、 V_{dd} に V_{tp} を加えたものに等しい或いはそれ以上の電圧 V_{boost+} になるため、この充電ポンプ制御回路901は、本発明に必要な、供給電圧 V_{dd} より高く、供給電圧 V_{dd} に閾値電圧 V_{tp} を加えたものより低い電圧 V_{boost+} を発生することができない。

【0053】

同様に、充電ポンプ制御回路902が、供給電圧 V_{SS} から閾値電圧 V_{tn} を差し引いた電圧或いはそれより低い電圧 V_{boost-} となるため、この充電ポンプ制御回路902は、本発明で必要とする供給電圧 V_{SS} より低く、供給電圧 V_{SS} から閾値電圧 V_{tn} の絶対値を差し引いたものより大きい電圧 V_{boost-} を発生することができない。

【0054】

図10は、本発明の一実施例に従った V_{CCB} 充電ポンプ制御回路1000の模式図である。 V_{CCB} 充電ポンプ制御回路1000は、充電ポンプ制御回路803（図8）の代わりに用いられるため、目的の V_{CCB} 電圧を生成することができる V_{CCB} 基準電圧発生回路を形成する。 V_{CCB} 充電ポンプ制御回路1002は、pチャネルトランジスタ1001-1003と、基準電流源1004-

1005とが含まれる。pチャネルトランジスタ1001のソースは、供給電圧 V_{dd} がかかるように接続され、pチャネルトランジスタ1001のゲート及びドレインは、共に基準電流源1004に接続されている。従って、pチャネルトランジスタ1001は、供給電圧 V_{dd} と基準電流源1004との間のダイオードとして接続される。基準電流源1004によって、基準電圧 V_{REFP} を確立する基準電流 I_{REFP} がpチャネルトランジスタ1002のゲートに生成される。

【0055】

pチャネルトランジスタ1001のチャネル幅は W_p である。pチャネルトランジスタ1001及び1002は、同じチャネル長さを持つ。しかしながら、pチャネルトランジスタ1002は、 W_p の m 倍のチャネル幅を持つ。ここで m は乗数である。トランジスタ1002のドレインは、基準電流 I_{REFP1} を発生する別の基準電流源1005に接続されている。トランジスタ1002のソースは、ノード V_p に接続されている。ノード V_p は、pチャネルトランジスタ1003のドレイン及びゲートに接続されている。トランジスタ1003のソースは、充電ポンプ802からの正のブースト電圧 V_{CCB} がかかるように接続される。基準電流 I_{REFP} と I_{REFP1} とが同じであり、トランジスタ1002がトランジスタ1001と同じチャネル幅（即ち $m=1$ ）の場合は、ノード V_p は供給電圧 V_{dd} と同じ電圧に保たれる。この条件で、正にブーストされた電圧 V_{CCB} は、pチャネルトランジスタ1003の閾値電圧 V_{dd} の絶対値より高い電圧分供給電圧 V_{dd} より高くなる。

【0056】

本実施例において、基準電流 I_{REFP} を基準電流 I_{REFP1} に概ね等しくし、乗数 m を4にする。トランジスタ1002のチャネル幅が、トランジスタ1001のチャネル幅の4倍であるため、トランジスタ1002のソース・ゲート間電圧がトランジスタ1001のソース・ゲート間電圧より低い。その結果、ノード V_p の電圧が供給電圧 V_{dd} より低くなる。例えば、基準電流 I_{REFP} と I_{REFP1} とが共に約 $50\mu A$ に設定された場合、ノード V_p の電圧は、供給電圧 V_{dd} より約0.2V低くなる。トランジスタ1003のチャネル幅は、ト

ランジスタ1003のソース・ゲート間電圧がランジスタ1003の閾値電圧に概ね等しくなるように（例えば、0.5V）、比較的大きく（例えば、約50 μ m）する。その結果、電圧 V_{CCB} は、供給電圧 V_{dd} より約0.3V高く保持される。従って、電圧 V_{CCB} は供給電圧 V_{dd} より高いが、その差は1つの閾値電圧分より小さい。

【0057】

別の実施例では、pチャネルトランジスタ1003を排除して、電圧 V_{CCB} が直接ノード V_p に供給されるようにすることもできる。しかしながら、この実施例では、トランジスタ1000のチャネル幅を、トランジスタ1001のチャネル幅 W_p より小さくしなければならない。即ち、乗数 m を1より小さくして、トランジスタ1002のソース・ゲート間電圧が、トランジスタ1001のソース・ゲート間電圧より約0.3V（またはpチャネル閾値電圧より低い別の電圧）高くなるようにしなければならない。

【0058】

図11は、本発明の一実施例に従った V_{BBS} 充電ポンプ制御回路1100の模式図である。 V_{BBS} 充電ポンプ制御回路1100は、充電ポンプ制御回路803（図8）の代わりに用いられるため、目的の電圧 V_{BBS} を生成することができる V_{BBS} 基準電圧発生回路を形成する。 V_{BBS} 充電ポンプ制御回路1100には、nチャネルトランジスタ1101-1102と、pチャネルチャネルトランジスタ1103と、基準電流源1104-1105とが含まれる。nチャネルトランジスタ1101のソースは、供給電圧 V_{SS} がかかるように接続される。トランジスタ1101のドレイン及びゲートは共に、基準電流源1104に接続される。従って、トランジスタ1101はダイオードとして接続される。基準電流源1104は、供給電圧 V_{dd} と共通に接続されたnチャネルトランジスタ1101のドレイン及びゲートドレインとの間に接続される。基準電流源1104から、基準電流 I_{REFN1} がnチャネルトランジスタ1101に供給される。基準電流 I_{REFN1} によって、nチャネルトランジスタ102のゲートに基準電圧 V_{REFN} が確立される。

【0059】

nチャネルトランジスタ1101のチャネル幅は、 W_n である。nチャネルトランジスタ1101及び1102は、同じチャネル長さを持つ。しかしながら、nチャネルトランジスタ1102のチャネル幅は W_n のn倍である。ここで、nは乗数である。トランジスタ1102のドレインは、基準電流 I_{REFN} を発生する別の基準電流源1105に接続される。トランジスタ1102のソースは、ノード V_N に接続される。また、ノード V_N はpチャネルトランジスタ1103のソースに接続される。トランジスタ1103のドレイン及びゲートは共に、負にブーストされた電圧 V_{BBS} がかかるように接続される。基準電流 I_{REFN} と I_{REFN1} とが同じであり、トランジスタ1102がトランジスタ1101と同じチャネル幅（即ち、 $n=1$ ）の場合は、ノード V_N は供給電圧 V_{SS} と同じ電圧に保たれる。この条件で、負にブーストされた電圧 V_{BBS} は、供給電圧 V_{SS} より概ね閾値電圧（ V_{tp} ）分低い電圧に制御される。

【0060】

本実施例において、基準電流 I_{REFN} は、基準電流 I_{REFN1} に概ね等しくし、乗数nを4にする。トランジスタ1102のチャネル幅が、トランジスタ1101のチャネル幅の4倍であるため、トランジスタ1102のソース・ゲート間電圧がトランジスタ1101のソース・ゲート間電圧より低い。その結果、ノード V_N の電圧は、供給電圧 V_{SS} より高い。例えば、基準電流 I_{REFN} 及び I_{REFN1} が共に約 $50\mu A$ に設定される場合、ノード V_N の電圧は、供給電圧 V_{SS} より約0.2V高い。トランジスタ1103のチャネル幅は、トランジスタ1103のソース・ゲート間電圧がトランジスタ1103の閾値電圧と概ね等しくなるように（例えば0.5V）、比較的大きく（例えば約 $50\mu m$ ）する。その結果、電圧 V_{BBS} は、供給電圧 V_{SS} より約0.3V低く保たれる。従って、電圧 V_{BBS} は、供給電圧 V_{SS} より低い、その差は閾値電圧1つ分より小さい。

【0061】

別の実施例では、pチャネルトランジスタ1103を排除して、電圧 V_{BBS} が直接ノード V_N に供給されるようにもできる。しかしながら、この実施例では、トランジスタ1102のチャネル幅が、トランジスタ1101のチャネル幅 W

nより小さくしなければならない。即ち、トランジスタ1102のソース・ゲート間電圧が、トランジスタ1101のソース・ゲート間電圧より約0.3V（またはpチャネル閾値電圧より低い別の電圧）低くなるように、1より小さい乗数nを選択しなければならない。

【0062】

温度が変化しても、電圧 V_{CCB} 及び V_{BBS} が比較的一定に保たれるのが望ましい。一般に、トランジスタ閾値電圧 V_t は、温度が高くなるにつれて低くなる傾向にある。このような温度の影響を補正するために、基準電流源1004及び1104は、基準電流 I_{REFP} 及び I_{REFN1} は、負の温度係数（即ち、温度が高くなると、基準電流 I_{REFP} 及び I_{REFN1} が低下する）を有するように形成される。

【0063】

図12は、本発明の一実施例に従った基準電流源1004の模式図である。基準電流源1004には、pチャネルトランジスタ1201-1202と、抵抗1203と、nチャネルトランジスタ1204-1206とが含まれる。抵抗1203は、供給電圧 V_{dd} とトランジスタ1201のゲートとの間に接続され、トランジスタ1201のバイアスを設定する。抵抗1203を流れる電流 I_R は、トランジスタ1201の閾値電圧 V_{tp} を抵抗1203の抵抗値で除した値に等しい。従って、電流 I_R は、閾値電圧 V_{tp} に直接関係する。電流 I_R は、pチャネルトランジスタ1202及びnチャネルトランジスタ1205を流れる。

【0064】

トランジスタ1202のゲート及びソースはそれぞれ、トランジスタ1201のドレイン及びゲートに接続される。トランジスタ1202のゲートの電圧は、トランジスタ1202のドレインに伝わる。各nチャネルトランジスタ1204-1206は、供給電圧 V_{SS} に接続されたソース端子と、トランジスタ1202のドレインに接続されたゲート端子を有し、カレントミラー回路を形成する。従って、電流 I_R は、トランジスタ1206に伝えられる。その結果、nチャネルトランジスタ1206を流れる電流（即ち、 I_{REFP} ）が、pチャネルトランジスタ1201の閾値電圧 V_{tp} に直接関連する。

【0065】

基準電流源1004によって、以下のように温度補正がなされる。

【0066】

温度が上昇すると、トランジスタ1002及び1003の閾値電圧 V_{tp} (図10) が低下するため、電圧 V_{CCB} が低下する。しかしながら、温度が上昇すると、トランジスタ1201の閾値電圧 V_{tp} (図12) が低下する。それに応じて、電流 I_R が減少するため、電流 I_{REFP} が減少する。その結果、pチャネルトランジスタ1001 (図10) のゲート・ソース間電圧が低下し、電圧 V_{REFP} が上昇する。上昇した電圧 V_{REFP} は、電圧 V_P を上昇させるため、電圧 V_{CCB} が上昇する。トランジスタ1002及び1003の閾値電圧 V_{tp} の温度の影響は、電流 I_{REFP} の負の温度係数によって部分的に補正される。このように、基準電流源1004によって、 V_{CCB} ポンプ制御回路1000が温度補正される。

【0067】

図13は、本発明の一実施例に従った基準電流源1104の模式図である。基準電流源1104が基準電流源1004 (図12) に類似しているため、図12と図13の類似の要素は同じ参照符号を用いた。従って、基準電流源1104には、pチャネルトランジスタ1201-1202と、抵抗1203と、nチャネルトランジスタ1204-1205とが含まれる。更に、基準電流源1104には、トランジスタ1201のゲートに接続されたゲートと供給電圧 V_{dd} がかかるように接続されたソースとを有するpチャネルトランジスタ1301が含まれる。

【0068】

基準電流源1104によって、以下のように温度補正がなされる。

【0069】

温度が上昇すると、トランジスタ1102及び1103の閾値電圧 V_t (図11) が低下するため、電圧 V_{BBS} が上昇する。しかしながら、温度が上昇すると、pチャネルトランジスタ1201の閾値電圧 V_{tp} が低下する。その結果、電流 I_R が減少する。トランジスタ1201及び1301が接続されてカレント

ミラー回路を形成するため、電流 I_R の減少は電流 I_{REFN1} の減少となる。電流 I_{REFN1} の減少によって電圧 V_{REFN} (図11) が低下する。 V_{REFN} の低下により、電圧 V_N が低下するため、電圧 V_{BBS} が低下する。このように、基準電流源1104によって、 V_{BBS} ポンプ制御回路1100の温度補正がなされる。

【0070】

電流 I_{REFP1} が温度の影響を受けない場合、基準電流源1004 (図12) によって、主にトランジスタ1002の温度の影響が補正されるため、トランジスタ1003の温度の影響は実質的に補正されないままとなる。同様に、電流 I_{REFN} が温度の影響を受けない場合、基準電流源1104 (図13) によって、主にトランジスタ1102の温度の影響が補正され、トランジスタ1103の温度の影響は自主的に補正されないままとなる。温度の影響が補正されないトランジスタ1003及び1103の温度の影響を補正をするために、基準電流源1005及び1105は、基準電流 I_{REFP1} 及び I_{REFN} が正の温度係数 (即ち、温度が上昇すると基準電流 I_{REFP1} 及び I_{REFN} が上昇する) を持つように形成される。

【0071】

図14は、本発明の一実施例に従った基準電流源1005の模式図である。基準電流源1005には、pチャネルトランジスタ1401-1403と、nチャネルトランジスタ1411-1414と、PNPバイポーラトランジスタ1421-1422と、抵抗1431とが含まれる。トランジスタ1401及び1411、1421は、供給電圧 V_{dd} と V_{SS} との間に直列に接続される。トランジスタ1402及び1412、1422、抵抗1431は、供給電圧 V_{dd} と V_{SS} との間に直列に接続される。トランジスタ1403は、供給電圧 V_{dd} と V_{SS} との間に並列に接続されたトランジスタ1413-1414に直列に接続される。pチャネルトランジスタ1401-1403は、カレントミラー回路を形成するように構成されるため、同じ電流がこれら3つ全てのトランジスタ1401-1403に流れる。トランジスタ1422のエミッタが、トランジスタ1421のエミッタより m 倍大きく選択される。ここで、 m は乗数である。この実施例

では、乗数 m は4である。乗数 m 及び抵抗1431の抵抗の値は、得られる電流 I_{REFP1} が I_{REFP} と概ね同じとなるように選択される。トランジスタ1411及び1412のソースの電圧は、トランジスタ1401-1402及び1411-1412によって同じ電圧に維持される。結果として、トランジスタ1421にかかる電圧は、トランジスタ1431及びトランジスタ1422にかかる電圧に等しい。

【0072】

基準電流源1005の動作は、P. R. Gray及びR. G. Meyerによる「Analysys and Design of Analog Integrated Circuits」の頁330-333に詳しく記載されており、引用することをもって本明細書の一部とする。抵抗1431を流れる電流 I_R は、 $V_T/R \ln(m)$ に等しい。 $V_T=kT/q$ であり、この k はボルツマン定数であり、 T は絶対温度であり、 q は電子電荷である。従って、抵抗1431を流れる電流は、直接温度に関係する。抵抗1431を流れる電流 I_R が、トランジスタ1403及び1413-1414を流れる電流 I_{REFP1} となる。その結果、電流 I_{REFP1} が直接温度に関係する。従って、温度が上昇すると、電流 I_{REFP1} が増大する。増大した電流 I_{REFP1} によって、図10のトランジスタ1002及び1003のゲート・ソース間電圧が上昇するため、温度の上昇で起こるトランジスタ1003の閾値電圧 V_{tp} の低下が相殺される。上記したように、トランジスタ1003の閾値電圧 V_{tp} の低下により、電圧 V_{CCB} が低下する傾向にある。しかしながら、増大した電流 I_{REFP1} によって、電圧 V_{CCB} が上昇する傾向にある。最終的に、電圧 V_{CCB} は、動作温度範囲内で比較的一定に保たれる。

【0073】

図15は、本発明の一実施例に従った基準電流源1105の模式図である。基準電流源1105には、pチャネルトランジスタ1401-1402及び1501と、nチャネルトランジスタ1411-1412と、PNPバイポーラトランジスタ1421-1422と、抵抗1431とが含まれる。トランジスタ1401-1402及び1411-1412、1421-1422、抵抗1432は、

図14を用いて上記したように接続される。更に、トランジスタ1501のゲートが、トランジスタの1401-1402の各ゲートに共通に接続される。上記したように、抵抗1431を流れる電流 I_R が、温度に直接関係する。従って、温度が上昇すると、抵抗1431を流れる電流 I_R が増大する。この増大した電流がトランジスタ1501に流れ、電流 I_{REFN} が増大する。増大した電流 I_{REFN} によって、図11のトランジスタ1102及び1103のゲート・ソース間電圧が上昇するため、図11のトランジスタ1103の閾値電圧 V_{tp} の低下が相殺される。上記したように、トランジスタ1103の閾値電圧 V_{tp} の低下によって、電圧 V_{BBS} が上昇する傾向にある。しかしながら、増大した電流 I_{REFN} によって、電圧 V_{BBS} が低下する。その結果、電圧 V_{BBS} が、基準電流回路1104の動作温度範囲において比較的一定に保たれる。

【0074】

図16は、本発明の一実施例に従った基準電流回路1600の模式図である。基準電流回路1600は、1つの回路の中に基準電流回路1004及び1104を組み入れた回路であるため、最終的な回路に必要なレイアウト面積を縮小することができる。図12及び図13、図16に類似の要素は、同じ参照符号を付した。基準電流回路1600は、基準電流回路1004及び1104と同様に動作する。

【0075】

図17は、本発明の一実施例に従った基準電流回路1700の模式図である。基準電流回路1700は、1つの回路に基準電流1005と1105とを組み入れた回路であるため、最終的な回路に必要なレイアウト面積を縮小することができる。図14及び図15、図17に類似の要素は、類似の参照符号を付した。基準電流回路1700は、基準電流回路1005及び1105と同様に動作する。

【0076】

上記した好適な実施例では、メモリセルとしてPMOSトランジスタが用いられる。pチャネルトランジスタは、P形基板のn形ウェルに形成される。別の実施例では、メモリセルはNMOSトランジスタを用いて形成することができる。このような実施例では、ワード線は「高」で活性化され、「低」で不活化される

。

【0077】

図18は、NMOSトランジスタから形成されたメモリセルの動作に用いることができる、ワード線ドライバー回路1600及び V_{BBC} 結合回路1800の模式図である。ワード線ドライバー回路1600には、上記したワード線ドライバー400（図4）で説明したpチャネルプルアップトランジスタ401及びnチャネルプルダウントランジスタ403とが含まれる。ワード線ドライバー1600の残りの部分は、ワード線ドライバー400の逆回路（reciprocal circuit）である。この逆回路は、PMOSトランジスタをNMOSトランジスタに換え、NMOSトランジスタをPMOSトランジスタ、供給電圧 V_{dd} への接続を供給電圧 V_{SS} への接続、供給電圧 V_{SS} への接続を供給電圧 V_{dd} への接続に換えることによって得られる。従って、ワード線ドライバー1600には、プルアップトランジスタ401及びプルダウントランジスタ403に加えて、nチャネルトランジスタ1601と、pチャネルトランジスタ1602-1603と、行アドレスデコーダ1610とが含まれる。

【0078】

ワード線ドライバー400のnチャネルプルダウントランジスタ403は、 V_{BBS} 電圧発生器800に直接接続される。この実施例では、 V_{BBS} 電圧発生器によって、供給電圧 V_{SS} より約-0.3V低い電圧が供給される。ワード線ドライバー400のpチャネルプルアップトランジスタ401は、 V_{BBC} 結合回路1800からの電圧 V_{BBC} がかかるように接続される。行アドレスデコーダ1610によって、行アドレスデコーダ410（図4）によって供給される制御シグナル X_i 及び $X_j\#$ とは逆である、制御シグナル $X_i\#$ 及び X_j が供給される。

【0079】

V_{BBC} 結合回路1800は、図6の結合回路600の逆回路である。従って、 V_{BBC} 結合回路1800には、図面に示されたように、nチャネルトランジスタ1801-1803と、pチャネルトランジスタ1804と、インバータ1811-1814が含まれる。

【0080】

ワード線303を活性化する前は、シグナル X_i #が「高」、シグナル X_j が「低」である。この条件では、トランジスタ1602がオンであり、供給電圧 V_{dd} がトランジスタ401及び403のゲートにかかっている。従って、プルダウントランジスタ403がオンとなり、 V_{BBS} 電圧がワード線303にかかっている。この条件で、一連のインバータ1811-1814によって論理シグナル「低」がノードN1に供給されるため、pチャネルトランジスタ1804がオンとなる。その結果、 V_{BBC} 供給線が供給電圧 V_{dd} に保たれる。また、ワード線303を活性化する前は、トランジスタ1802の閾値下のリークにより、ノードN2では、 V_{CCB} から1つの閾値電圧降下 (V_t) よりも高い電圧が降下するため、トランジスタ1801はオンにならない。

【0081】

ワード線303がを活性化するためには、シグナル X_i #を「低」、シグナル X_j を「高」にする。この条件で、プルアップトランジスタ401がオンとなり、ワード線303と V_{BBC} 電圧結合回路1800と接続される。トランジスタ401がオンとなった直後は、シグナル X_j の「高」状態が一連のインバータ1811-1814に伝わるが、ノードN1には到達しない。この時、pチャネルトランジスタ1804はオンのままであり、 V_{BBC} 供給線に接続されていて供給電圧 V_{dd} がかかっている。またこの時、ノードN1が「低」状態であるため、コンデンサ結合トランジスタ1803のソースとドレインが「低」状態である。トランジスタ1802は、MOSダイオードとして、そのゲート及びドレインが V_{CCB} 供給線に接続される。従って、トランジスタ1802によってノードN2の電圧が、電圧 V_{CCB} より1つの閾値電圧 (V_t) 以上は低くない、或いは供給電圧 V_{dd} に概ね等しい電圧に制限される。従って、コンデンサ1803は初め、供給電圧 V_{dd} に概ね等しい電圧に充電される（即ち、トランジスタ1803にかかる電圧は概ね V_{dd} に等しい）。

【0082】

シグナル X_j の「高」状態がノードN1に到達すると、トランジスタ1804がオフとなり、 V_{BBC} 電圧供給線が V_{dd} 電圧供給端子から切断される。また

、ノードN1の電圧が高いと、コンデンサ1803によってノードN2が最大 $2V_{dd}$ に等しい電圧まで上昇する。ノードN2における電圧 $2V_{dd}$ によってnチャネルトランジスタ1801がオンとなり、 V_{CCB} 電圧供給線が V_{BBC} 電圧供給線に接続される。

【0083】

幾つかの実施例を用いて本発明を説明してきたが、本発明は開示した実施例に限定されるものではなく、当分野の技術者によって様々な変更がなされ得る。従って、本発明は請求の範囲によってのみ限定されるものである。

【図面の簡単な説明】

【図1A】

従来の論理プロセスで形成されたpチャネルMOSトランジスタを用いて形成された従来のDRAMメモリセルの模式図である。

【図1B】

図1AのDRAMメモリセルの断面図である。

【図2】

ワード線ドライバー及びワード線電圧発生器を備えた従来のワード線制御回路の模式図である。

【図3A】

本発明の一実施例に従った電圧源から電圧が供給されるDRAMメモリセルの模式図である。

【図3B】

図3AのDRAMメモリセルの断面図である。

【図3C】

本発明の一実施例に従った図3AのDRAMメモリセルのレイアウト図である。

【図3D】

本発明の別の実施例に従った図3AのDRAMメモリセルの断面図である。

【図4】

本発明の一実施例に従ったワード線ドライバーの模式図である。

【図5】

本発明の一実施例に従ったワード線ドライバシステムを例示するブロック図であって、第1の複数のワード線ドライバと、第2の複数の V_{SSB} 結合回路と、 V_{CCB} 電圧発生器と、 V_{BBS} 電圧発生器とが含まれる。

【図6】

本発明の一実施例に従った V_{SSB} 結合回路の模式図である。

【図7】

図6の V_{SSB} 結合回路の動作中に生成される様々なシグナルを例示する波形図である。

【図8】

本発明の一実施例に従った V_{CCB} 及び V_{SSB} ブースト電圧発生器のブロック図である。

【図9A】

従来の正のブースト電圧発生器に用いられる充電ポンプ制御回路の簡単な模式図である。

【図9B】

従来の負のブースト電圧発生器に用いられる充電ポンプ制御回路の簡単な模式図である。

【図10】

本発明の一実施例に従った V_{CCB} 充電ポンプ制御回路の模式図である。

【図11】

本発明の一実施例に従った V_{BBS} 充電ポンプ制御回路の模式図である。

【図12】

本発明の実施例に従った基準電流源の模式図である。

【図13】

本発明の実施例に従った基準電流源の模式図である。

【図14】

本発明の実施例に従った基準電流源の模式図である。

【図15】

本発明の実施例に従った基準電流源の模式図である。

【図16】

本発明の実施例に従った基準電流源の模式図である。

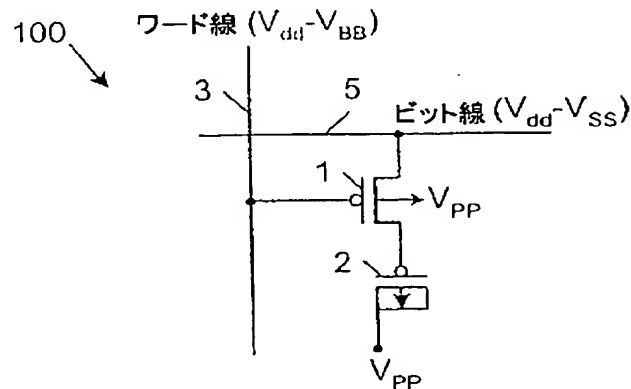
【図17】

本発明の実施例に従った基準電流源の模式図である。

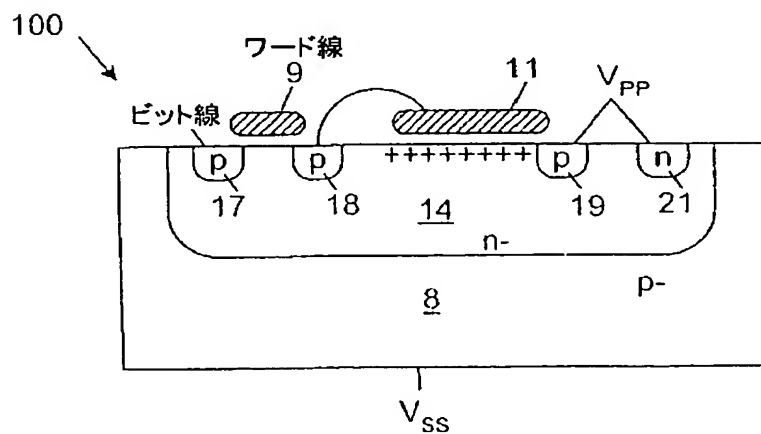
【図18】

DRAMセルの形成にNMOSトランジスタに用いた、本発明に従ったワード線ドライバー及び V_{BB} 電圧結合回路の模式図である。

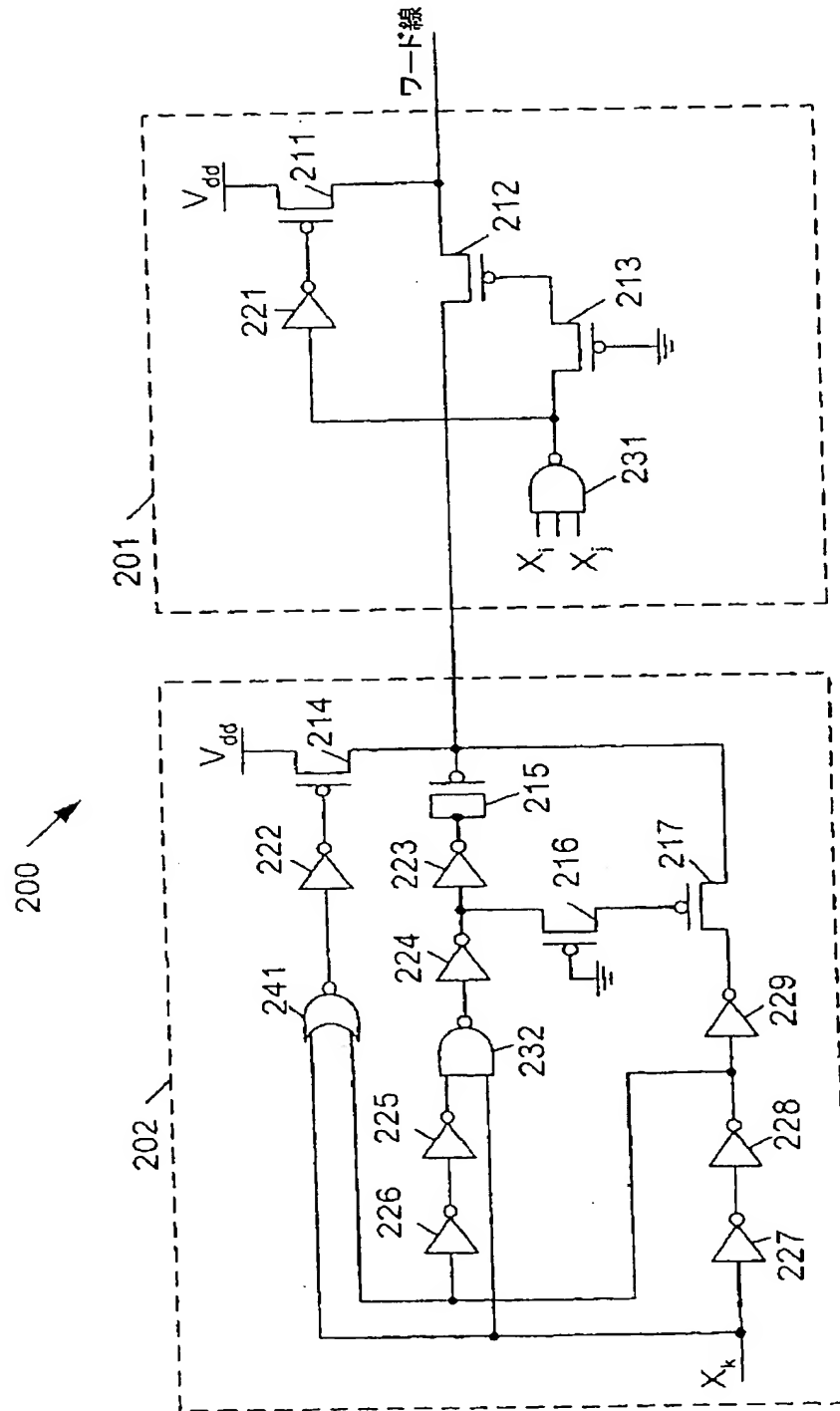
【図1A】



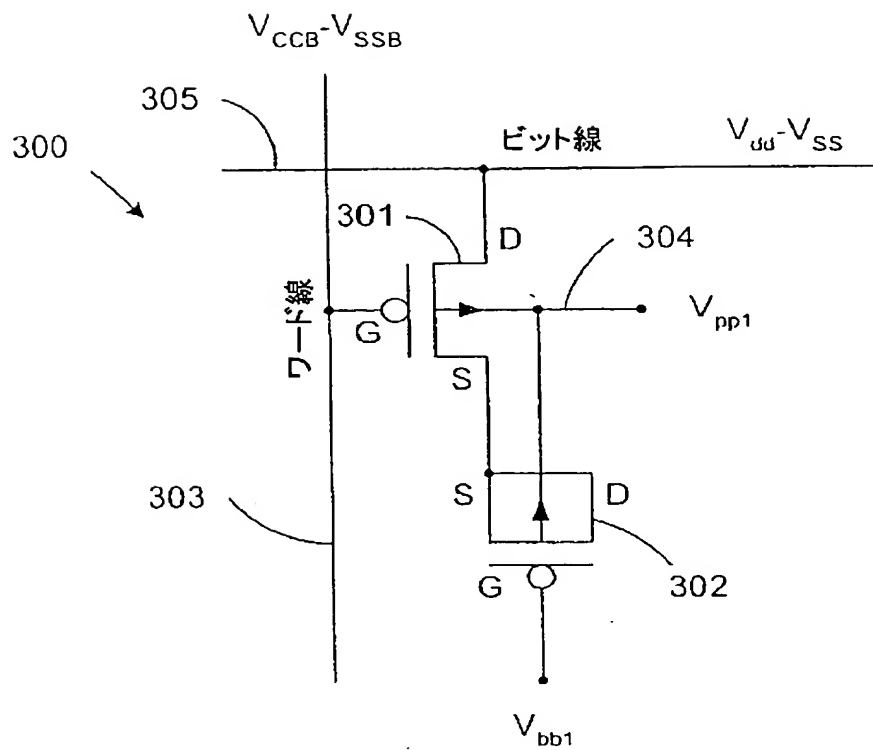
【図1B】



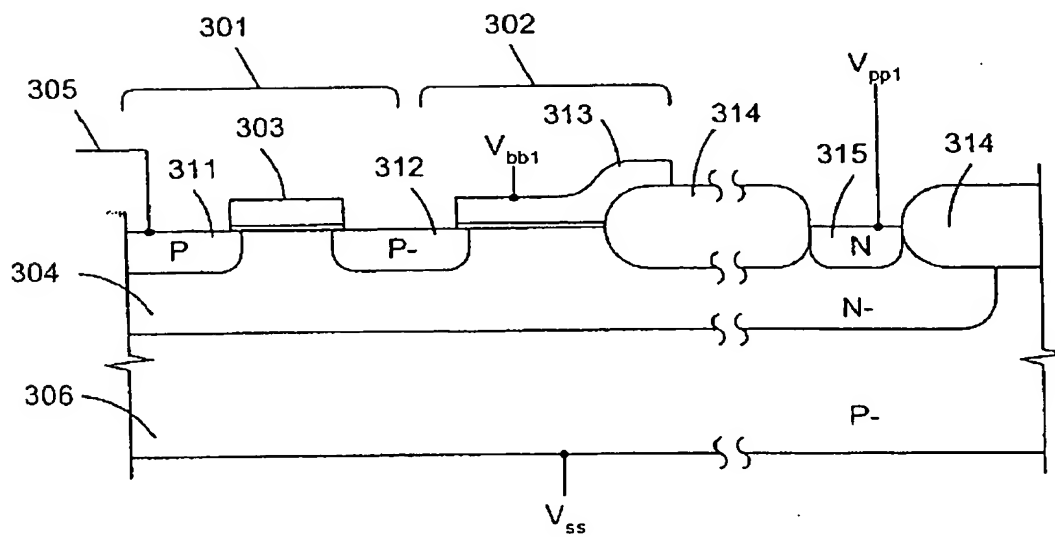
【図2】



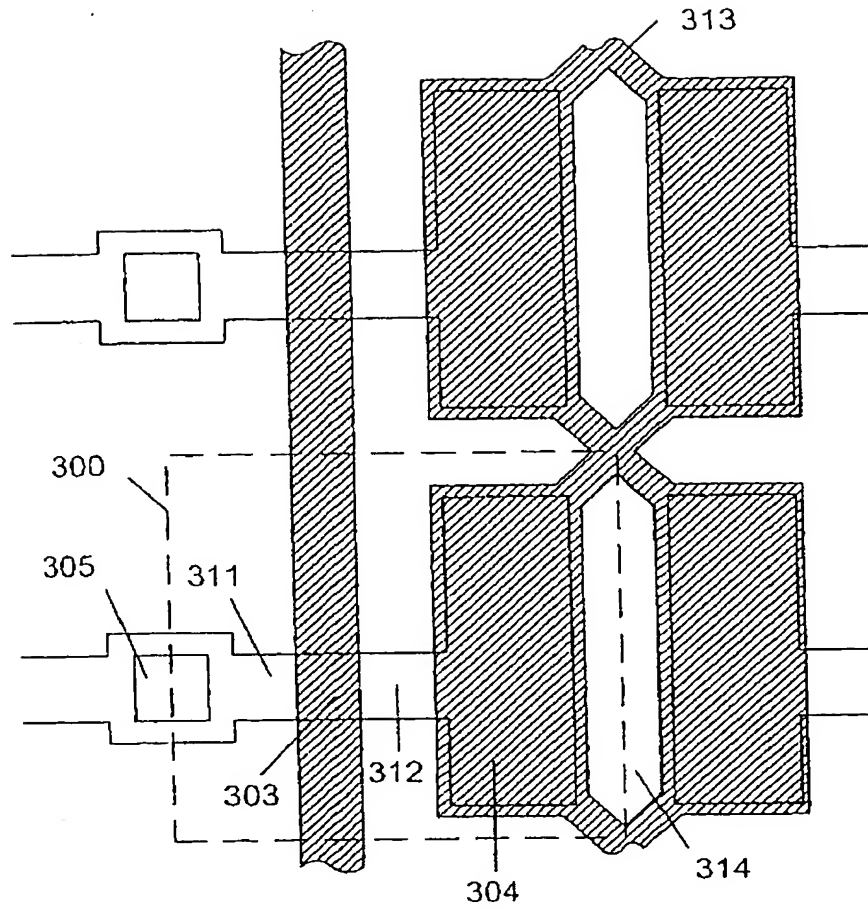
【図3A】



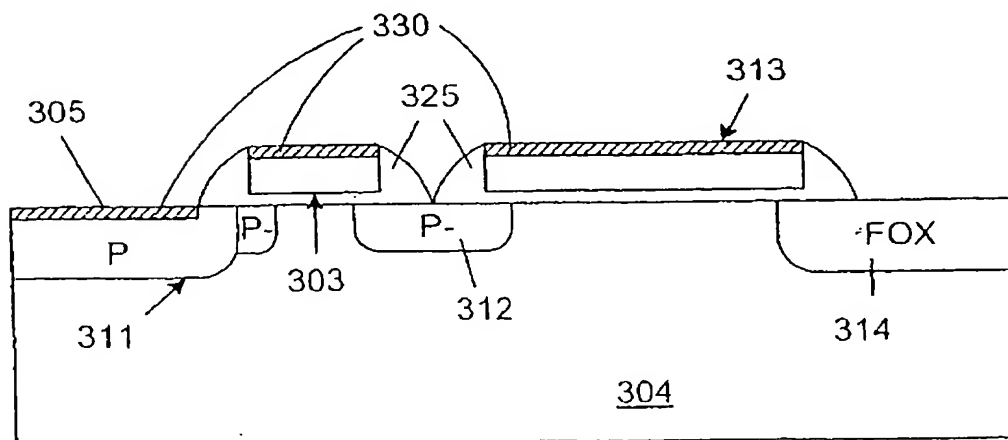
【図3B】



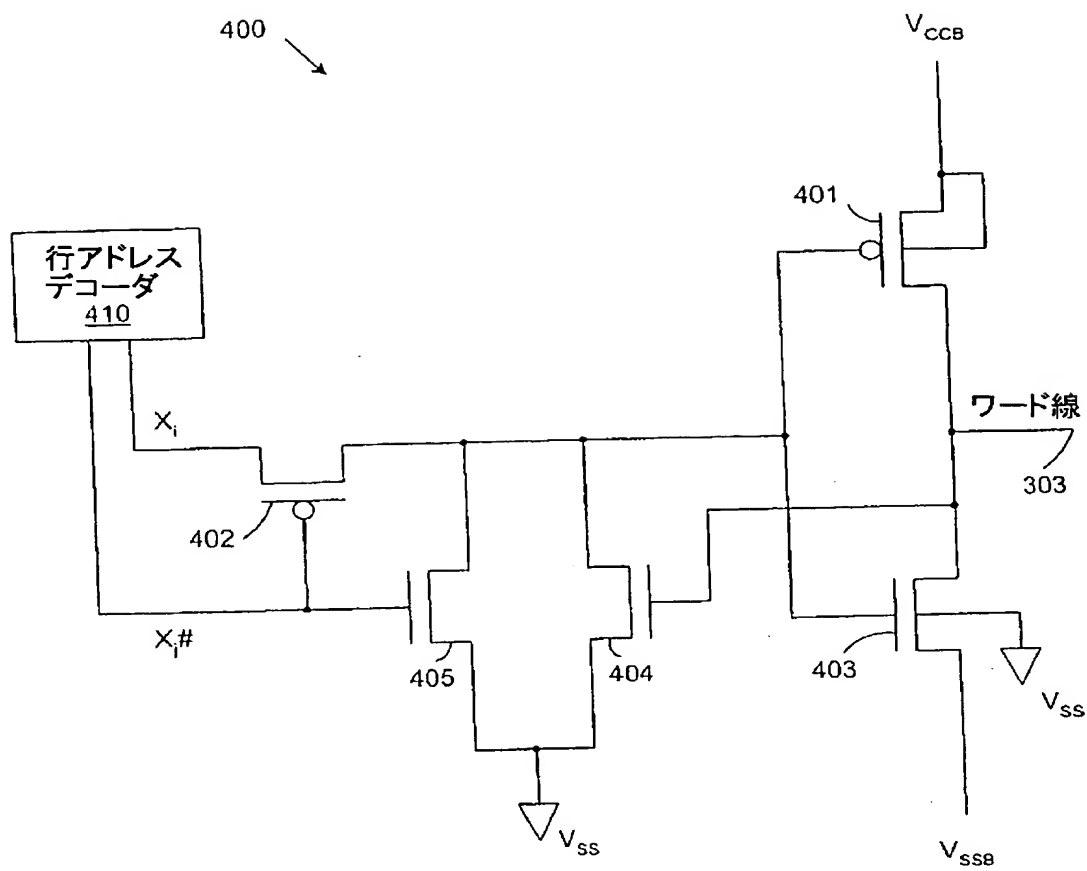
【図3C】



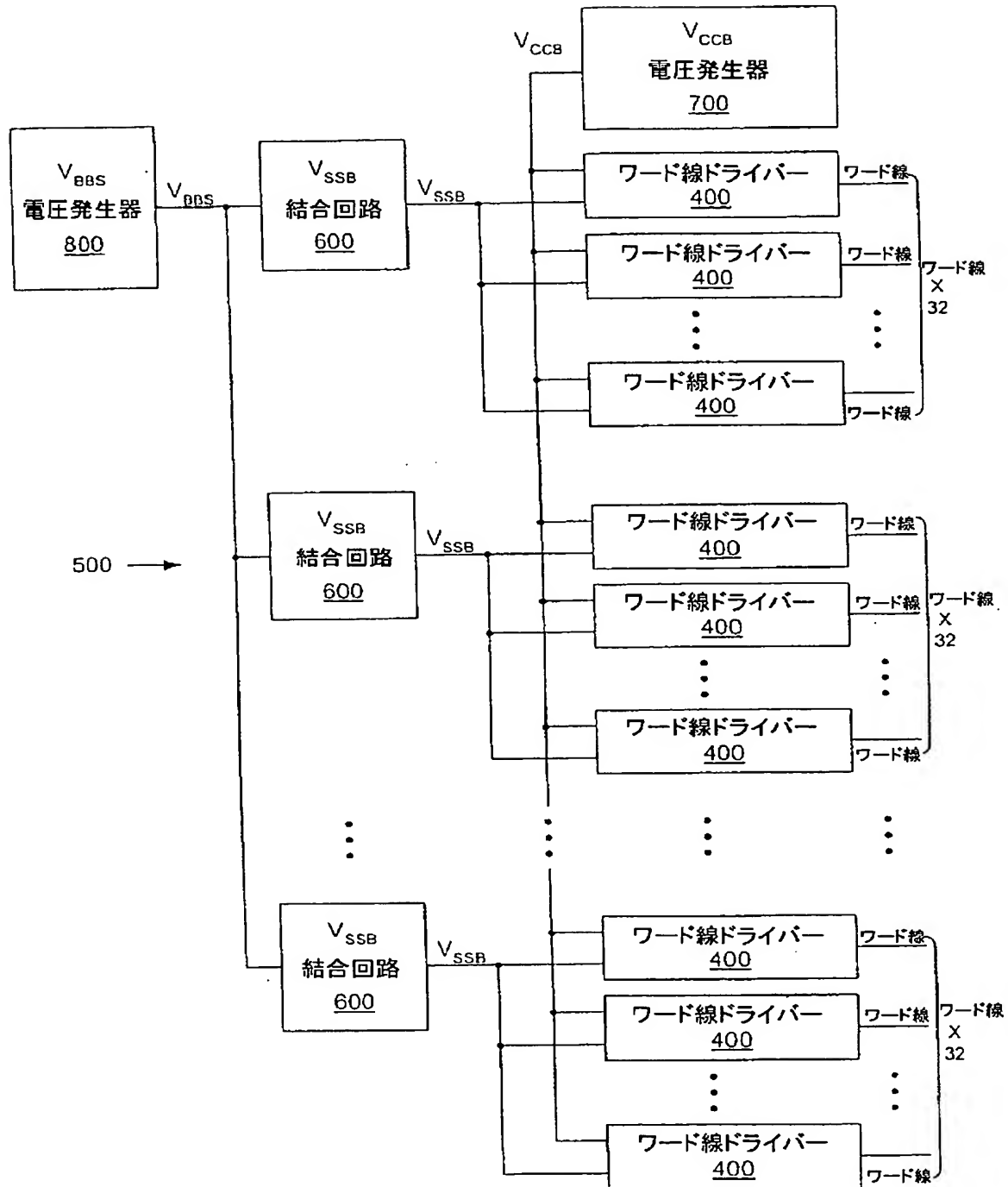
【図3D】



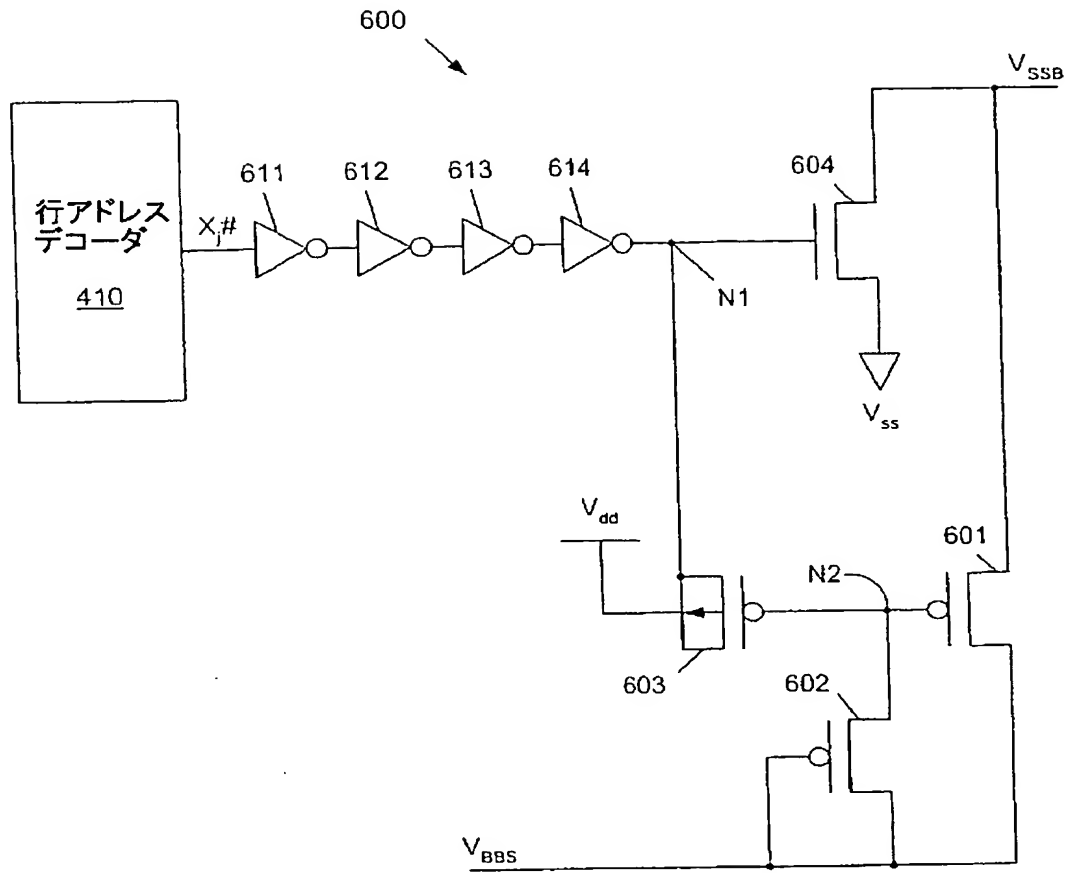
【図4】



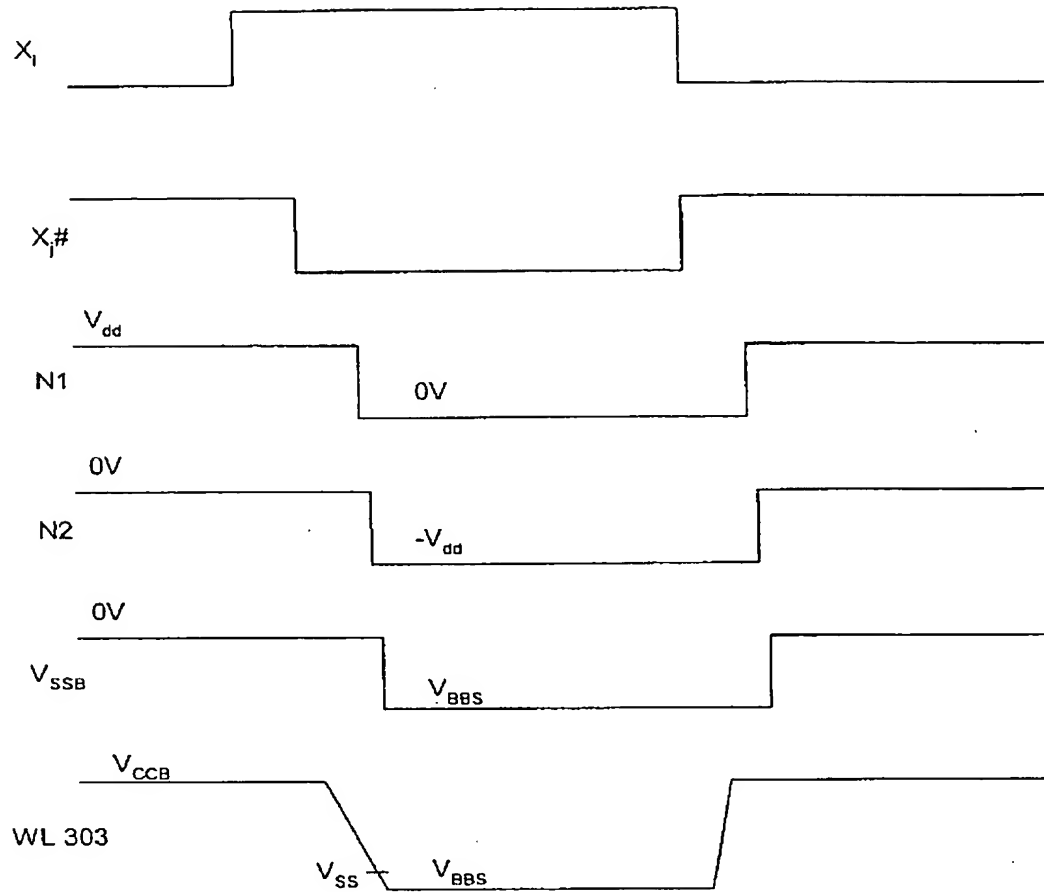
【図5】



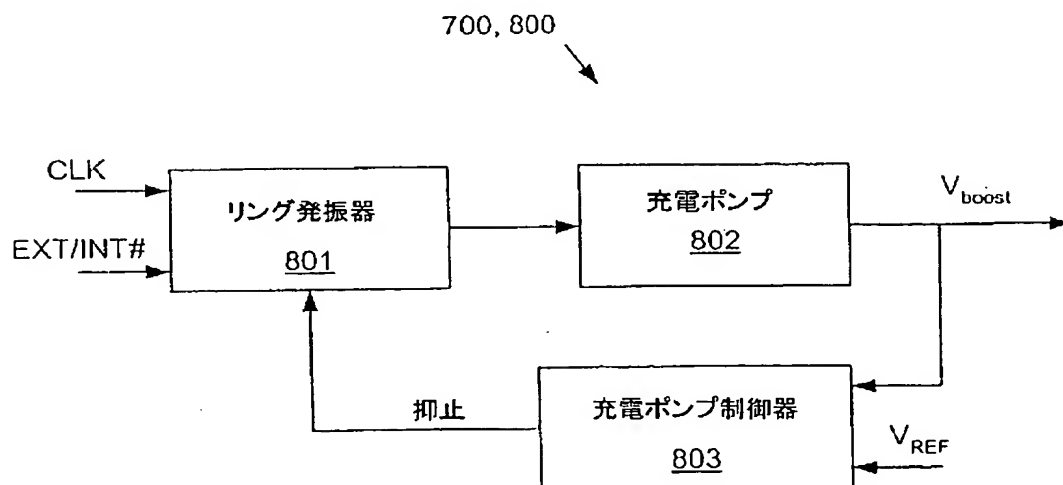
【図6】



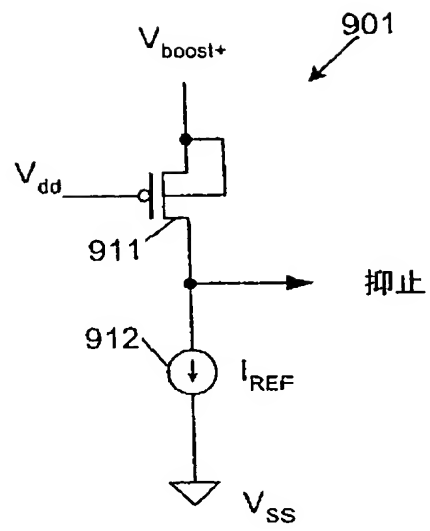
【図7】



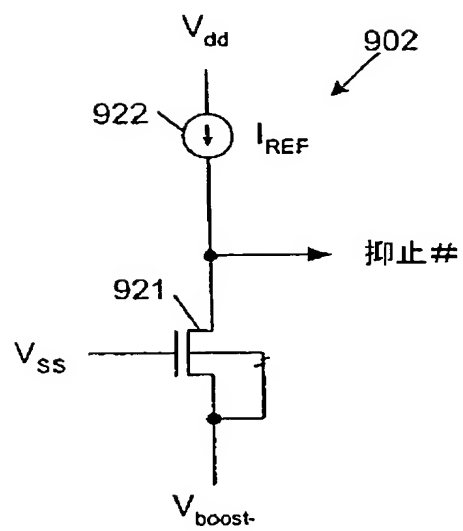
【図8】



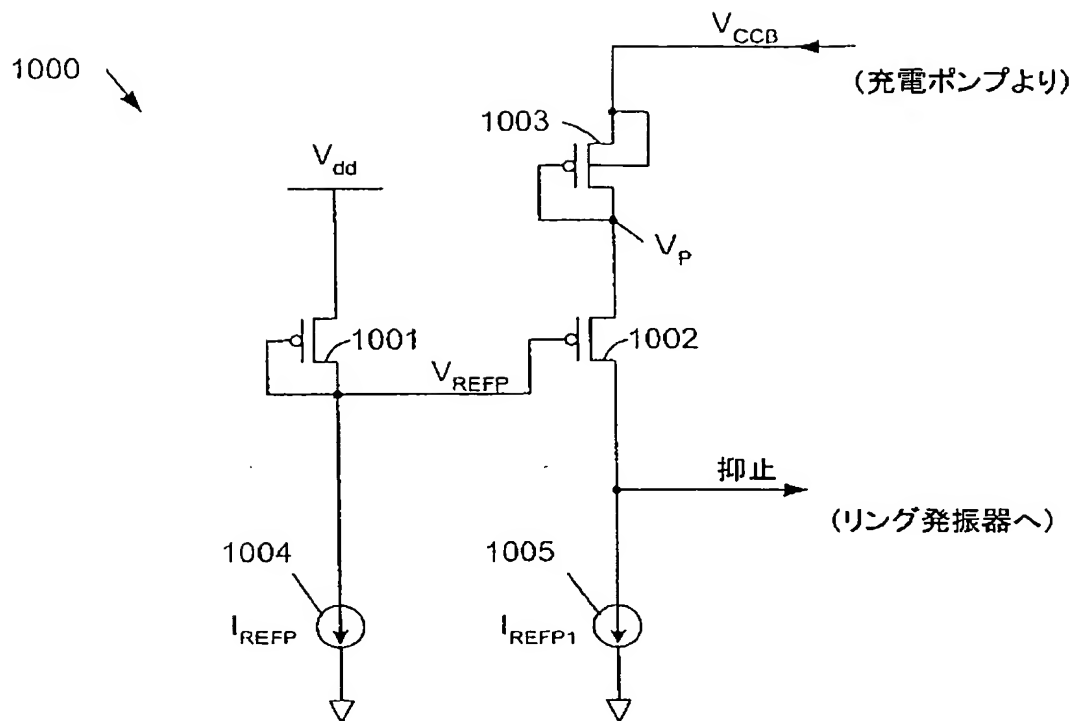
【図9A】



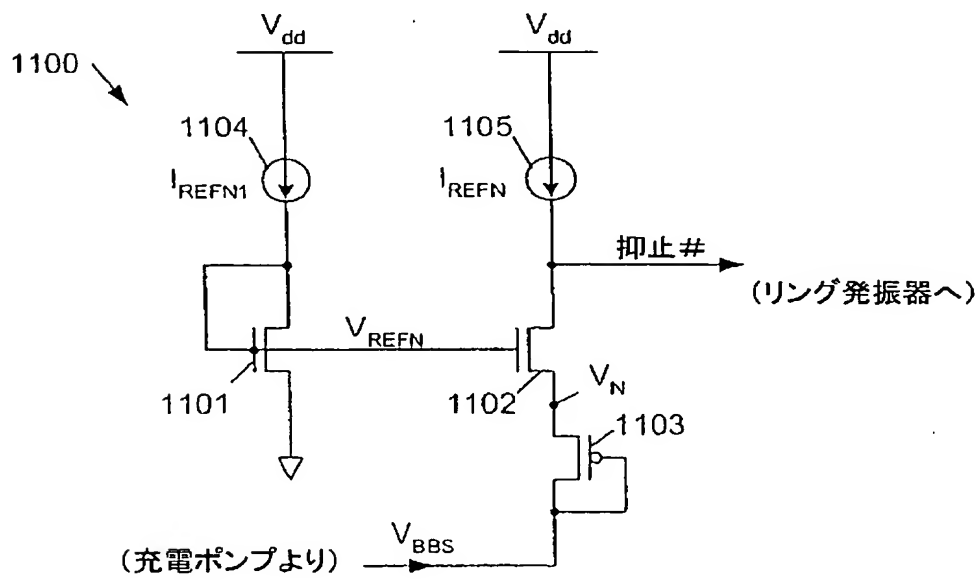
【図9B】



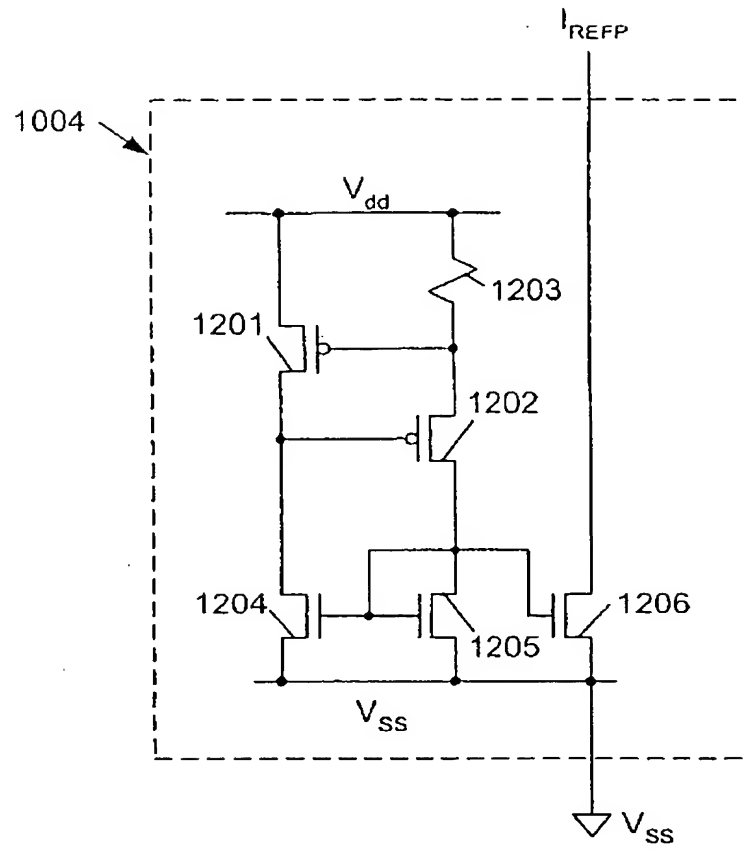
【図10】



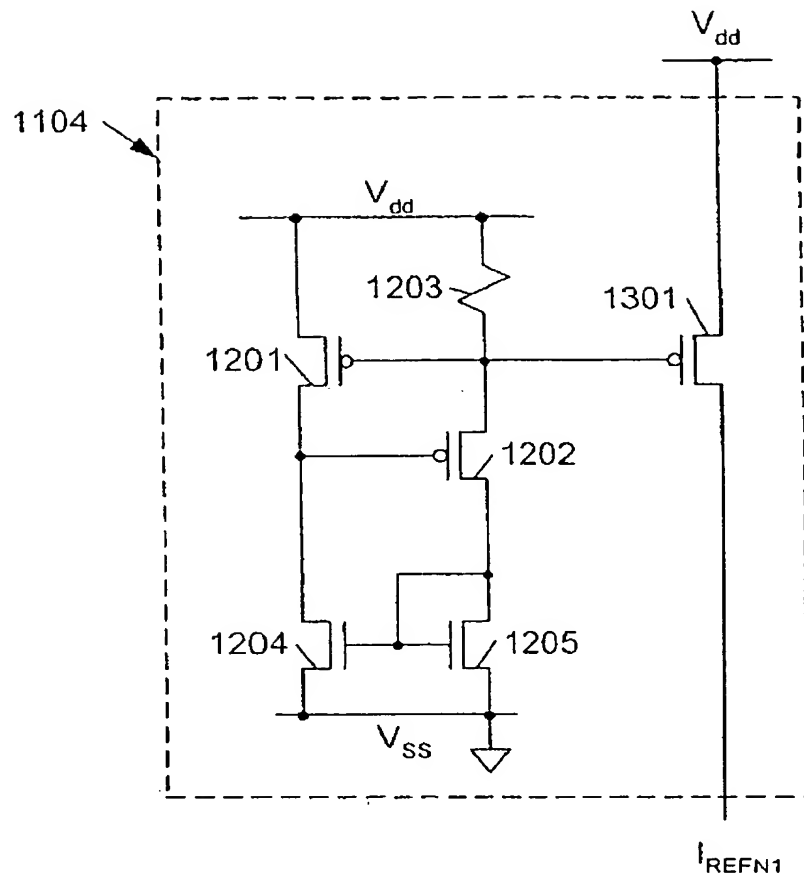
【図11】



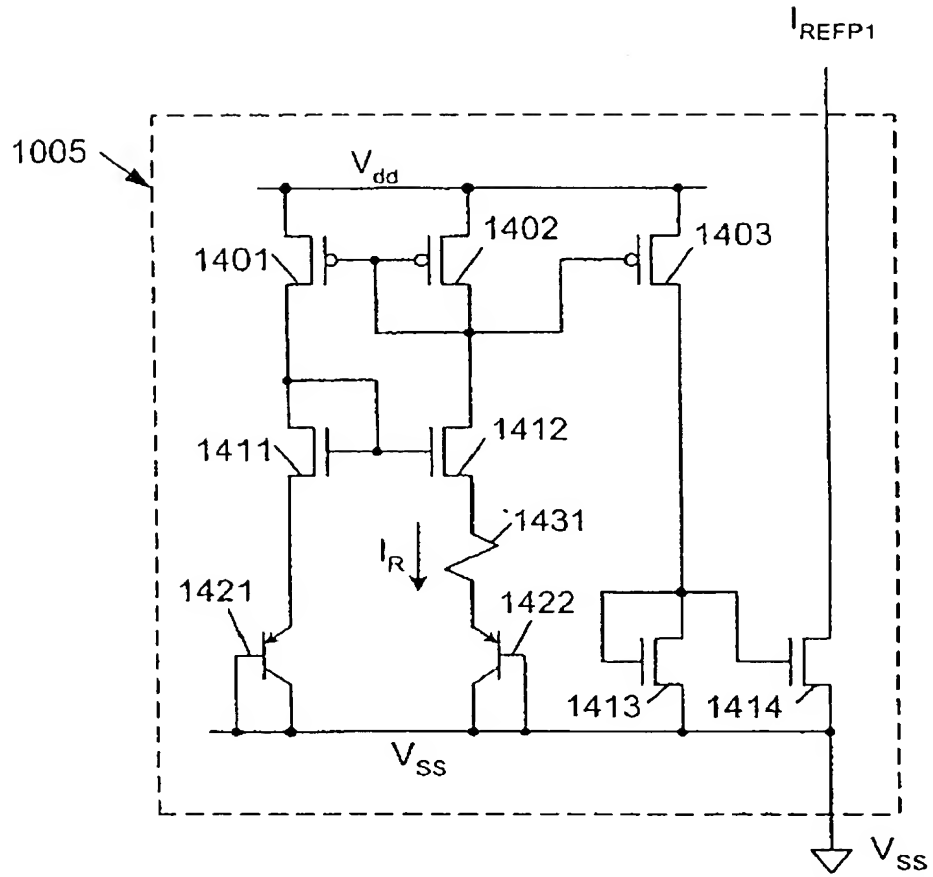
【図 12】



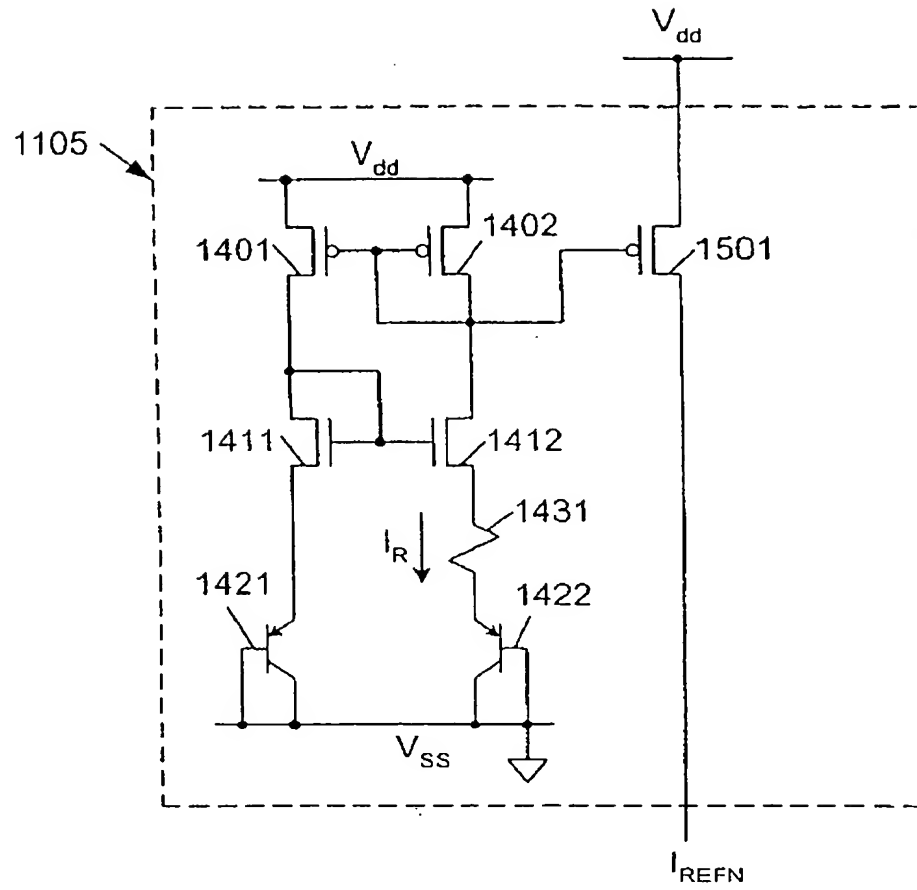
【図13】



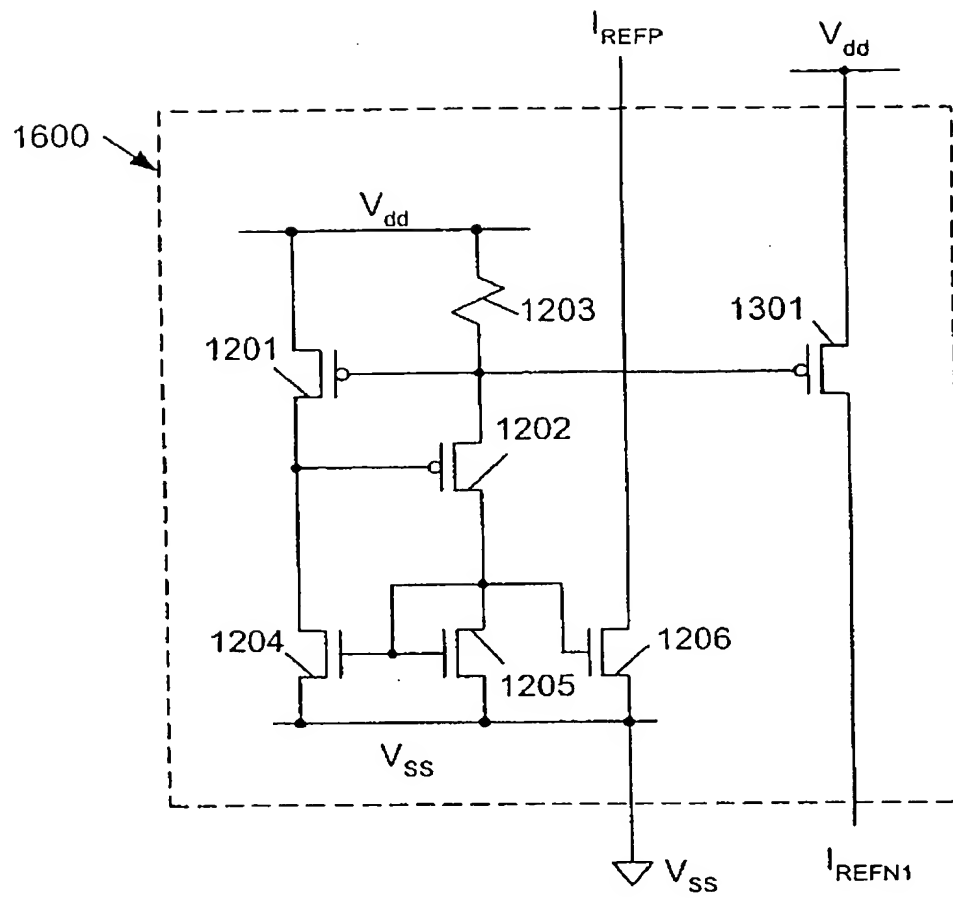
【図14】



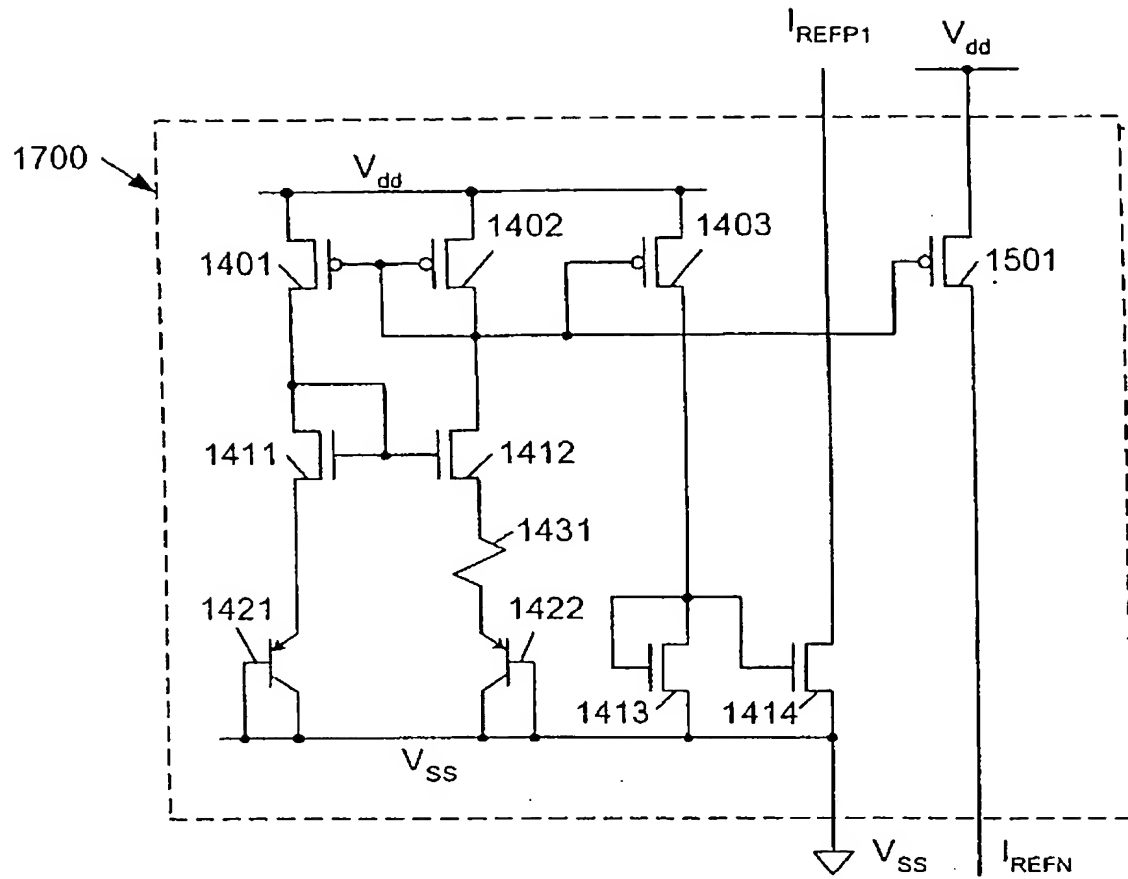
【図15】



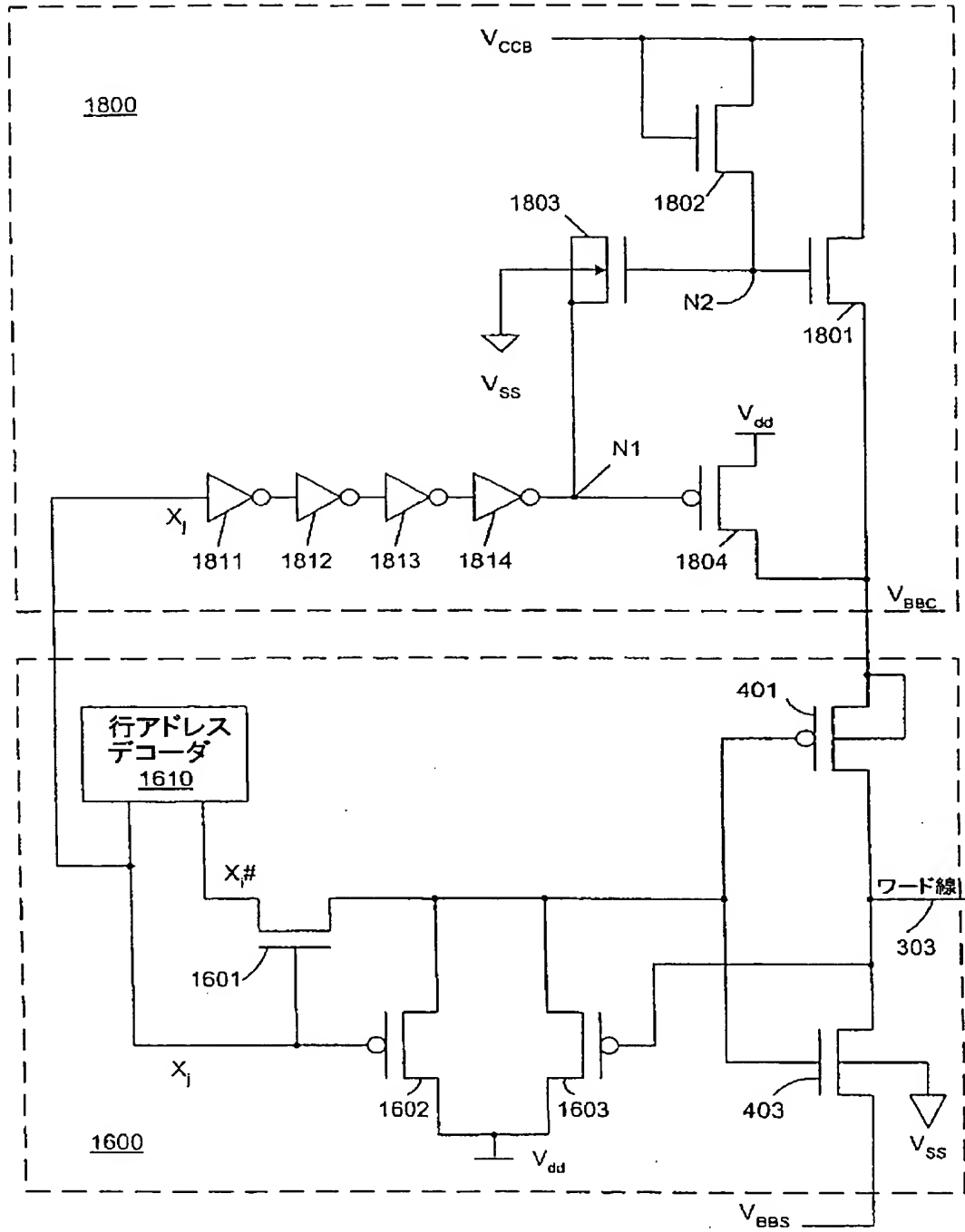
【図16】



【図17】



【図18】



【手続補正書】

【提出日】平成13年4月17日(2001.4.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】

図3Dは、本発明の別の実施例に従ったpチャネルアクセストランジスタ301及びpチャネルコンデンサ302の拡大断面図である。この実施例では、通常の大量に注入されたp形のソース/ドレイン及びソース/ドレインサリサイド化が、p形接続領域312に含まれていない。このような構造にすることによって、記憶ノードの電荷保持時間を劣化させるゲート誘発ドレインリーク(GIDL)及び接合部リーク電流を減少させることができる。従来の論理プロセスでは、pチャネルトランジスタの製造は以下の手順による。(i)ポリシリコンゲートのパターン形成及びエッチング。(ii)イオン注入によるゲート端部のソース/ドレイン領域の軽度のドーピングによるp-LDD領域の形成。(iii)絶縁用の側壁スペーサの形成。(iv)露出したシリコン表面へのサリサイド(自己整合シリサイド)の形成。(v)イオン注入による露出したシリコン表面のソース/ドレイン領域の重度のドーピングによるp-S/D領域の形成。2段階のp-LDD領域及びp-S/D領域の形成によって、導電電流が大きく、かつ適当なリーク電流に制御される。通常は、p-S/D領域が、抵抗が小さくなるようにp-LDD領域より相当重度にドーピングされる。結果として、接合部の降伏電圧がより低くなり、p-S/D領域のリーク電流が、p-LDD領域のリーク電流より極めて大きくなる。ソース/ドレインのサリサイドによって、ソース/ドレインの抵抗が更に減少するが、接合部のリークを悪化させる。従って、できる限り記憶ノードのサリサイド形成及び重度のp形ドーピングを排除することが重要である。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No. PCT/US 99/18536		
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G11C5/14 G11C8/00 G11C11/408		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base used, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 493 659 A (IBM) 8 July 1992 (1992-07-08) the whole document	1
A	EP 0 632 462 A (IBM) 4 January 1995 (1995-01-04) the whole document	1
A	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 07, 31 July 1996 (1996-07-31) & JP 08 063964 A (MITSUBISHI ELECTRIC CORP.), 8 March 1996 (1996-03-08) abstract	11
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document (but published on or after the international filing date) "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search 21 December 1999		Date of mailing of the international search report 11/01/2000
Name and mailing address of the ISA European Patent Office, P.B. 5918 Patentstein 2 AL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3018		Authorized officer Degraeve, L

Form PCT/ISA210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

In International Application No.
PCT/US 99/18536

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 460 694 A (NIPPON ELECTRIC CO) 11 December 1991 (1991-12-11) column 7, line 53 ~column 14, line 32; figures 5,6	11
A	US 5 297 104 A (NAKASHIMA TAKASHI) 22 March 1994 (1994-03-22) the whole document	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

In International Application No
PCT/US 99/18536

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0493659 A	08-07-1992	US 5075571 A DE 69126292 D DE 69126292 T JP 2103131 C JP 6209090 A JP 8017226 B	24-12-1991 03-07-1997 11-12-1997 22-10-1996 26-07-1994 21-02-1996
EP 0632462 A	04-01-1995	JP 2731701 B JP 7065573 A US 5504702 A	25-03-1998 10-03-1995 02-04-1996
JP 08063964 A	08-03-1996	NONE	
EP 0460694 A	11-12-1991	JP 4042494 A DE 69130589 D DE 69130589 T KR 9509230 B US 5287325 A	13-02-1992 21-01-1999 15-07-1999 18-08-1995 15-02-1994
US 5297104 A	22-03-1994	KR 9402859 B JP 2662335 B JP 5089673 A	04-04-1994 08-10-1997 09-04-1993

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP

アメリカ合衆国カリフォルニア州95070-
9714・サラトガ・コンgressホールレーン
21775

【要約の続き】

生器 (800) には、 V_{SS} から V_t を減じた電圧より高い電圧に負のブースト電圧を制限する充電ポンプ制御回路 (1100) が含まれる。

